

Le circuit TRIGGER :

Cet exemple est tiré de l'article [CBRP.96]. Le graphe STG qui décrit la spécification du module *trigger* et le graphe d'états sont donnés ci-dessous.

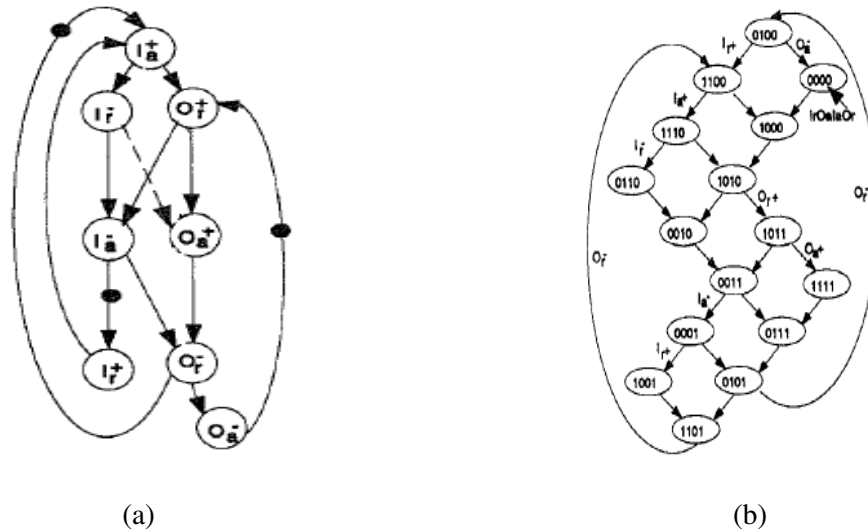


Figure 1 : le contrôleur *trigger* : (a) La spécification STG du contrôleur. (b) le graphe d'états GS du contrôleur.

Le circuit qui implémente cette spécification est définie par le système d'équations suivant :

$$O_r = I_a O_r + O_r \bar{O}_a + I_a \bar{O}_a$$

$$I_a = I_a \bar{O}_r + I_a I_r + \bar{O}_r I_r.$$

Son code VHDL associé est donné comme suit.

```

ENTITY trigger IS
  PORT (
    O_r      : out  BIT;
    I_a      : out  BIT;
    I_r      : in   BIT;
    O_a      : in   BIT
  );
END trigger;

ARCHITECTURE RTL OF trigger IS
BEGIN
  O_r <= ((I_a and O_r) or (O_r and not O_a)) or (I_a and not O_a);
  I_a <= ((I_a and not O_r) or (I_a and I_r)) or (not O_r and I_r);
END;
```

Nous avons effectué un test sur l'environnement décrit ci-dessous. Les délais de traversée des portes du circuit sont tous définis à une unité de temps.

```

I_r : 10 up, 20 down;
O_a : 10 down, 30 up;
```

La description en Uppaal générée possède les caractéristiques suivantes :

- 2 automates associés aux deux signaux de sortie O_r et I_a + 2 automates associés aux comportements des deux signaux d'entrée I_r et O_a.

- 2 horloges associées aux deux portes du circuit + l'horloge globale.
- 4 variables discrètes.
- 4 paramètres associés aux délais des fronts montants et descendants des deux ports du circuit..
- 3 x 2 locations des automates associés aux portes du circuit + les locations des automates d'environnement.

Les propriétés mentionnées ci-dessous sont bien vérifiées. Elle exprime le comportement attendu des deux signaux de sorties O_r et I_a , qui est conforme à la spécification du circuit décrit par le graphe STG du circuit mentionné dans la figure 1.a.

$AG ((t > 12 \ \& \ t < 31 \Rightarrow O_r = 1) \ \text{and} \ ((t > 0 \ \& \ t < 12) \ \text{or} \ t > 31) \Rightarrow O_r = 0))$.
 $AG ((t > 11 \ \& \ t < 21 \Rightarrow I_a = 1) \ \text{and} \ ((t > 0 \ \& \ t < 11) \ \text{or} \ t > 21) \Rightarrow I_a = 0))$.

Nous avons constaté que le temps de génération de la description en Uppaal est < 0.1 sec. Le temps de la vérification de chacune de ces deux dernières propriétés est inférieur à 0.1s.

La projection des temps d'apparition des fronts des signaux sur la spécification STG est donnée dans la figure 2.

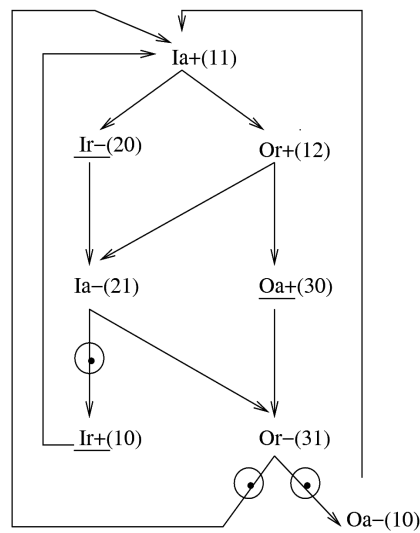


Figure 2 : les temps d'apparition des signaux du circuit *trigger* dans le graphe STG.

Le graphe d'accessibilité simulé par l'outil Uppaal est présenté ci-dessous dans la figure 3. Comme nous pouvons le voir, ce dernier est un sous graphe du graphe d'états présenté dans la figure 1.b.

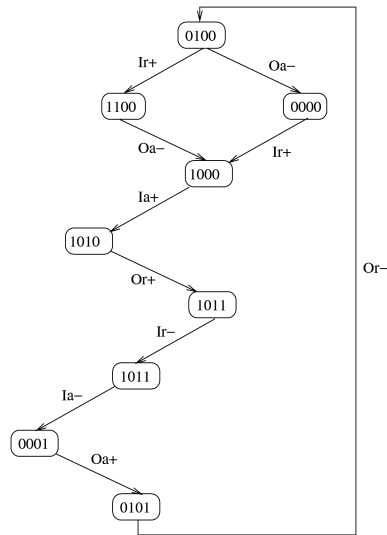


Figure 3 : le graphe d'accéssibilité construit par Uppaal.

Bibliographie

[CBRP.96] S.T. Chakradhar, S. Banerjee, R.K. Roy, Dhiraj Pradhan. *Synthesis of initializable asynchronous circuits*, IEEE Transactions on Very Large Scale Integration (VLSI) Systems., 4 (2). ISSN 1063-8210 , pp. ISSN 1063-8210, pp. 254–263. 254-263. June 1996.