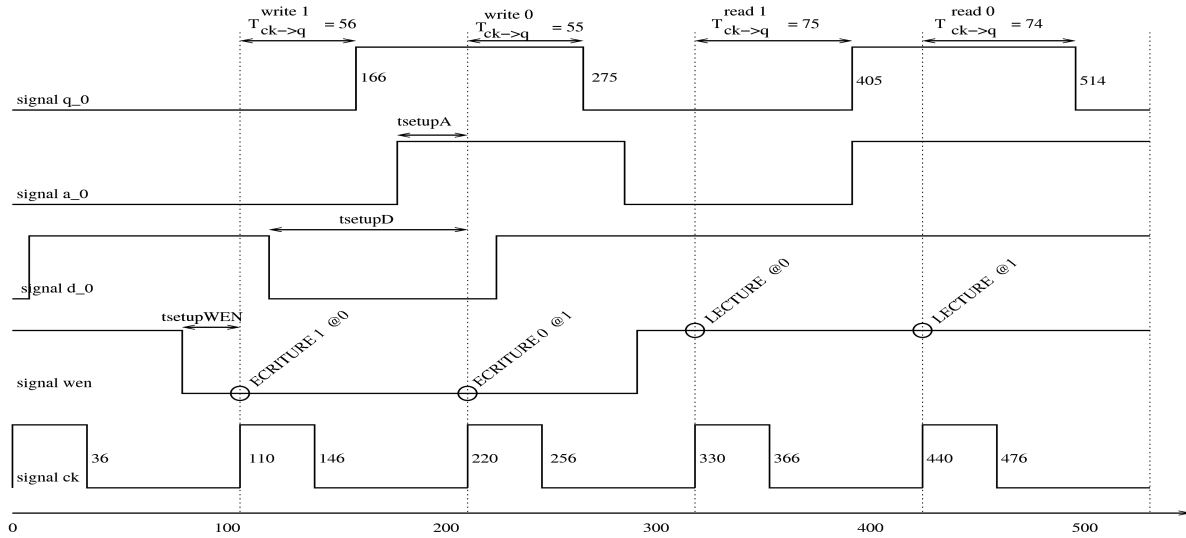




**Environnement 1:**

**- Implementation SPI:**



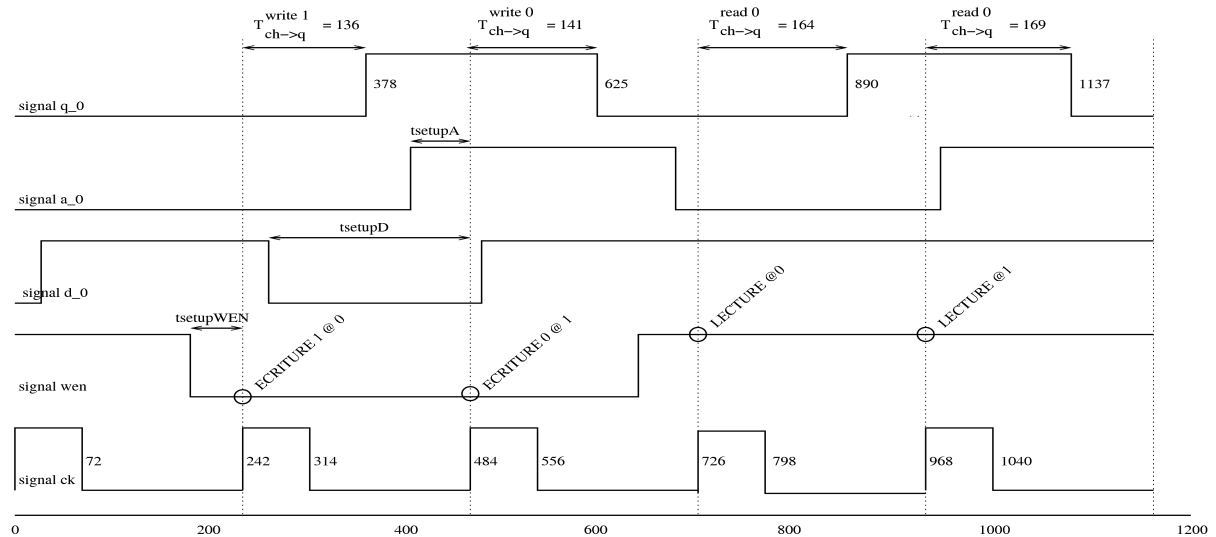
Le graphe d'atteignabilité obtenu GA vérifie la propriété.

$$AG ( ((t > 275 \text{ and } t < 405) \text{ or } (t > 514)) \text{ imply } q_0 == 0) \text{ and } \\ ((t > 166 \text{ and } t < 275) \text{ or } (t > 405 \text{ and } t < 514)) \text{ imply } q_0 == 1) )$$

Bien qu'il ne vérifie pas :

$$AG ( ((t > 275 \text{ and } t < 405) \text{ or } (t > 515)) \text{ imply } q_0 == 0) \text{ and } \\ ((t > 166 \text{ and } t < 275) \text{ or } (t > 405 \text{ and } t < 515)) \text{ imply } q_0 == 1) )$$

**- Implementation SP2:**



Le graphe d'atteignabilité obtenu GA vérifie la propriété.

$$AG ( ( (t > 625 \text{ and } t < 890) \text{ or } (t > 1137)) \text{ imply } q\_0 == 0) \text{ and } \\ (((t > 378 \text{ and } t < 625) \text{ or } (t > 890 \text{ and } t < 1137)) \text{ imply } q\_0 == 1) \\ )$$

Bien qu'il ne vérifie pas :

$$AG ( ( (t > 625 \text{ and } t < 890) \text{ or } (t > 1138)) \text{ imply } q\_0 == 0) \text{ and } \\ (((t > 378 \text{ and } t < 625) \text{ or } (t > 890 \text{ and } t < 1138)) \text{ imply } q\_0 == 1) \\ )$$

On peut encore remarquer que les temps de lecture et d'écriture sur la sortie  $q\_0$  correspondent parfaitement à ce qui est donné dans [CEFX.06a & CEFX.06c]. En considérant l'implémentation SP1 (SP2), on a pour les valeurs du temps de setup :  $t\_setupA \in \{58, \dots, 34\}$  ( $\{110, \dots, 73\}$ ),  $t\_setupD \in \{108, \dots, 96\}$  ( $\{241, \dots, 229\}$ ),  $t\_setupWEN \in \{48, \dots, 29\}$  ( $\{109, \dots, 55\}$ ), les temps de réponses pour les commandes de lecture de 0  $t\_read0 = 74$ , de lecture de 1  $t\_read1 = 75$ , d'écriture de 0  $t\_write0 = 55$  et d'écriture de 1  $t\_write1 = 56$ .

Par contre pour les valeurs des temps  $t\_setupA = 33$  (72) ou  $t\_setupWEN = 28$  (54), la propriété présentée ci-dessus n'est pas vérifiée pour tous les chemins. Ceci est dû à l'apparition simultanée des signaux d'entrées  $en\_latchA$  et  $a\_h$  du latch  $latch\_A$  ( $en\_latchWEN$  et  $WEN\_h$  du  $latch\_WEN$ ) qui peut induire deux valeurs différentes sur la sortie du latch selon si la sortie prend la nouvelle ou conserve l'ancienne. En conséquence, l'apparition de chemins qui ne satisfont pas la propriété est possible. On doit donc toujours ajouter une unité de temps dans les sous expressions qui contient des délais des latch sur lequel le signal d'entrée se propage.

Les résultats obtenus et leur comparaison avec ceux cités dans [CEFX06a] sont récapitulés dans les tables ci-dessous. On rappelle que que l'unité de temps est de 10 ps.

**Pour la l'implémentation SP1:**

computed response time	value of the datasheet
$t_{CK \rightarrow Q}^{read} = 74$	$t_{max}^{read} == 77$
$t_{CK \rightarrow Q}^{write} = 56$	$t_{max}^{write} == 56$

Table 3.a : Temps de réponse pour SP1, obtenus dans [CEFX 06a].

computed response time	
$t_{CK \rightarrow Q}^{write}(0) = 55$	$t_{CK \rightarrow Q}^{read}(0) = 74$
$t_{CK \rightarrow Q}^{write}(1) = 56$	$t_{CK \rightarrow Q}^{read}(1) = 75$

Table 3.b : Temps de réponse pour SP1, obtenus par notre outil.

setup parameter	optimal value obtained by computation	optimal value obtained by simulation	value of the datasheet
$t_{setup}^D$	95	95	108
$t_{setup}^{WEN}$	29	36	48
$t_{setup}^A$	31	30	58

Table 3.c : Temps de setup optimal pour SP1, obtenus dans [CEFX06a].

setup parameter	optimal value obtained by the programme
$t_{setup}^D$	96
$t_{setup}^{WEN}$	29
$t_{setup}^A$	34

Table 3.d: Temps de réponse pour SP1, obtenus par notre outil.

**Pour la l'implémentation SP2:**

computed response time	value of the datasheet
$t_{CK \rightarrow Q}^{read} = 169$	$t_{max}^{read} == 169$
$t_{CK \rightarrow Q}^{write} = 142$	$t_{max}^{write} == 142$

Table 4.a : Temps de réponse pour SP2, obtenus dans [CEFX06a] & [Xu06].

setup parameter	optimal value obtained by computation	optimal value obtained by simulation	value of the datasheet
$t_{setup}^D$	229	229	241
$t_{setup}^{WEN}$	55	55	109
$t_{setup}^A$	73	74	110

Table 4.c : Temps de setup optimal pour SP2, obtenus dans [CEFX06a] & [Xu06].

computed response time	
$t_{CK \rightarrow Q}^{write}(0) = 141$	$t_{CK \rightarrow Q}^{read}(0) = 169$
$t_{CK \rightarrow Q}^{write}(1) = 136$	$t_{CK \rightarrow Q}^{read}(1) = 164$

Table 4.b : Temps de réponse pour SP2, obtenus par notre outil.

setup parameter	optimal value obtained by the programme
$t_{setup}^D$	229
$t_{setup}^{WEN}$	55
$t_{setup}^A$	73

Table 4.d: Temps de réponse pour SP2, obtenus par notre outil.

## Bibliographie

[CEFX06a]. R. Chevallier, E. Encrenaz, L. Fribourg, W. Xu, *Timing Analysis of an Embedded Memory: SPSMALL*, WSEAS 10th international conference on circuits, july 2006, Greece.

[Xu06]. W. Xu, *Timing Analysis of SPSMALL*, internal report, june 06.