


```

u3 <= u1 or u2;
y0 <= ((u3 and not beginsend) or (u3 and y0)) or (not beginsend and y0);
y1 <= ((not beginsend and rejpkt) or (not beginsend and y1)) or (rejpkt and
y1);
u4 <= (y0 and y1) and not acksend;
u5 <= (y1 and rejpkt) and not reqsend;
u6 <= u4 or u5;
u7 <= not y0 and not y1;
u8 <= ((y0 and not y1) and not acksend) and not beginsend;
u9 <= rejpkt and not reqsend;
reqsend <= not y0 and not beginsend;
latchaddr <= ((u6 and not u7) or (u6 and latchaddr)) or (not u7 and latchaddr);
idlebar <= ((not u8 and u9) or (not u8 and idlebar)) or (u9 and idlebar);
END;

```

Nous avons effectué un test sur l'environnement décrit ci-dessous. Les délais de traversée des portes du circuit sont tous définis à une unité de temps.

```

acksend : 10 up, 20 down, 80 up, 90 down;
rejpkt : 30 up, 40 down, 70 up, 80 down ;
beginsend : 50 up, 60 down, 100 up, 110 down ;

```

La description en Uppaal générée est caractérisée par :

- 14 automates associés aux signaux internes et de sortie du circuit + les automates d'environnement.
- 14 horloges locales associées aux automates correspondants aux portes du circuit + l'horloge globale.
- 3+9+5 variables discrètes associées aux signaux du circuit.
- 2 x 14 paramètres associés aux délais des fronts montants et descendants des portes du circuit.
- chacun de ces automates contient 3 locations + les locations des automates d'environnement.

Les propriétés mentionnées ci-dessous sont bien vérifiées. Elles expriment le comportement attendu des signaux de sortie du circuit.

```

- AG (((t>0 & t<12) or t>112) => idlebar = 0) & ((t>12 & t<112) =>
idlebar = 1)).
- AG (((t>41 & t<64) or (t>91 & t<104)) => reqsend = 1) & (((t>0 &
t<41) or (t>64 & t<91) or t>104) => reqsend = 0)).
- AG (((t>14 & t<34) or (t>73 & t<84)) => latchaddr = 1) & (((t>0 &
t<14) or (t>34 & t<73) or t>84) => latchaddr = 0)).
- AG (((t>11 & t<31) or (t>51 & t<81)) => y1 = 1) & (((t>0 & t<11) or
(t>31 & t<51) or t>81) => y1 = 0)).
- AG (((t>31 & t<63) or (t>81 & t<103)) => y0 = 1) & (((t>0 & t<31) or
(t>63 & t<81) or t>103) => latchaddr = 0)).

```

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0.1 sec. Cependant, le temps de la vérification de chacune de ces cinq propriétés mentionnées ci-dessus est inférieur 0.2s.

Correction : d'après l'analyse que nous avons effectué, le graphe STG, qui décrit la spécification du circuit, présenté dans la figure 1.a doit être modifié comme suit :

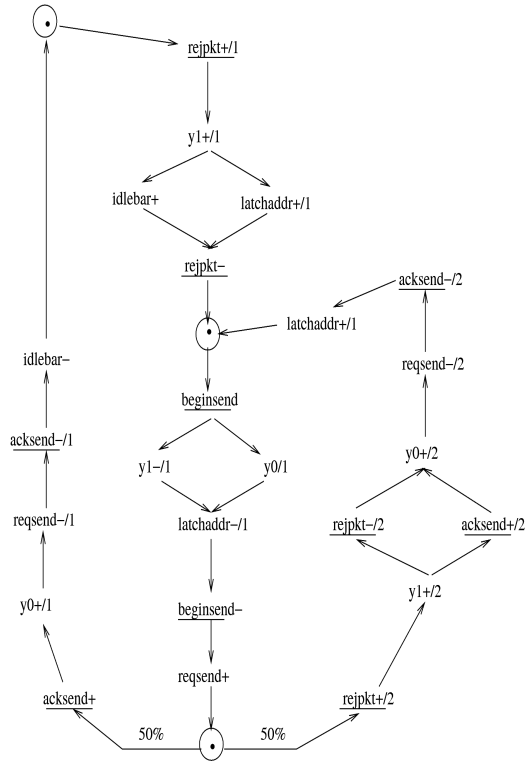


Figure 2 : la spécification STG du circuit *sbuf-send-ctl*.

La projection des temps d'apparition des fronts des signaux du circuit dans le graphe STG est donnée dans la figure 3 présenté ci-dessous.

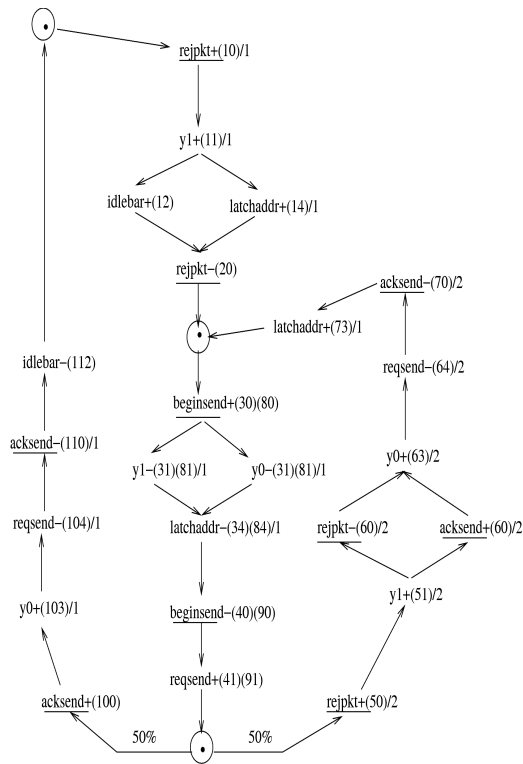


Figure 3 : les temps d'apparition des signaux du circuit *sbuf-send-ctl* dans le graphe STG du circuit.

Comme le montre le graphe construit par simulation, décrit dans la figure 4, la séquence d'évènements est bien conforme à la spécification du module *sbuf-send-ctl* présentée dans la figure 1.

Figure 4 : le graphe d'accessibilité construit par Uppaal.

Bibliographie

[BHW.96] P. A. Beerel, C.-T. Hsieh, S. Wadekar. *Estimation of Energy Consumption in Speed-Independent Control Circuits*, IEEE Transactions on CAD, pp. 672-680. June, 1996.