

**Le circuit RPDFT :**

Cet exemple est tiré de l'article [NMY.07]. Le circuit et une partie de son graphe d'états SG associé sont décrits ci-dessous.

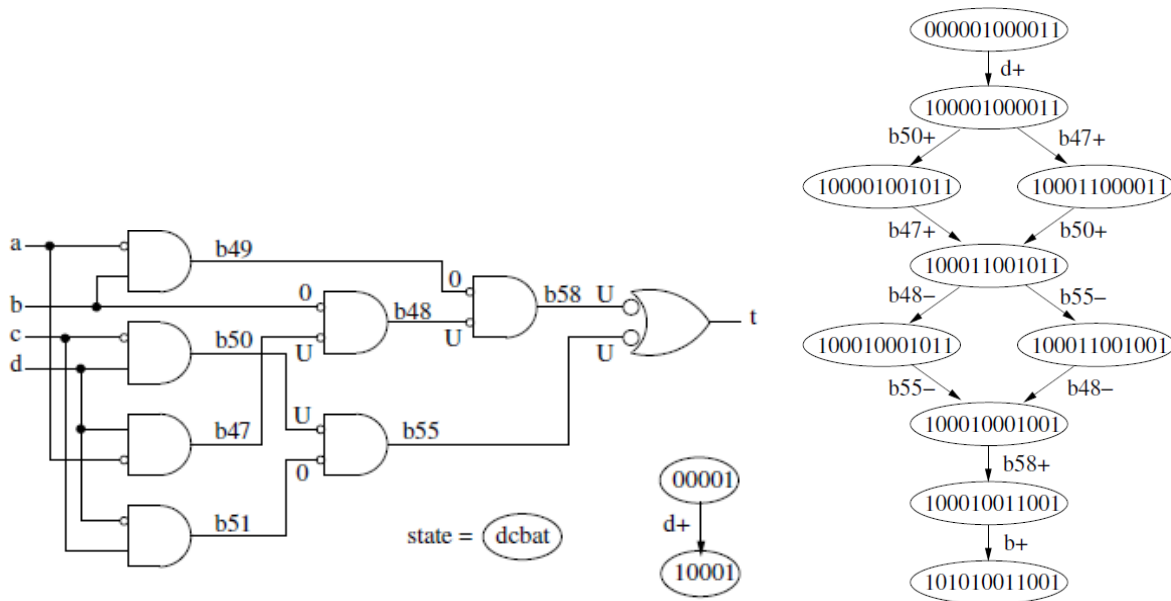


Figure 1.a: Le circuit *rpdf*t.

Figure 1.b: une partie du graphe d'états SG associé au circuit *rpdf*t.

L'implémentation du circuit en VHDL est donnée comme suit :

```

ENTITY rpdft IS
  PORT (
    t : out    BIT;
    a : in     BIT;
    b : in     BIT;
    c : in     BIT;
    d : in     BIT
  ); END rpdft;

ARCHITECTURE RTL OF rpdft IS
  SIGNAL b47 : BIT;
  SIGNAL b48 : BIT;
  SIGNAL b49 : BIT;
  SIGNAL b50 : BIT;
  SIGNAL b51 : BIT;
  SIGNAL b55 : BIT;
  SIGNAL b58 : BIT;
BEGIN
  b47 <= d and not a;
  b48 <= not b and not b47;
  b49 <= not a and b;
  b50 <= not c and d;
  b51 <= not d and c;
  b55 <= not b50 and not b51;
  b58 <= not b49 and not b48;
  t <= not b58 or not b55;
END;

```

Les délais de traversée des portes du circuit sont tous donnés à une unité de temps. Nous avons effectué un test sur l'environnement décrit ci-dessous.

- a : 30 up, 70 down;
- b : 20 up, 60 down;
- c : 40 up, 80 down;
- d : 10 up, 50 down;

La description en Uppaal générée est caractérisée par :

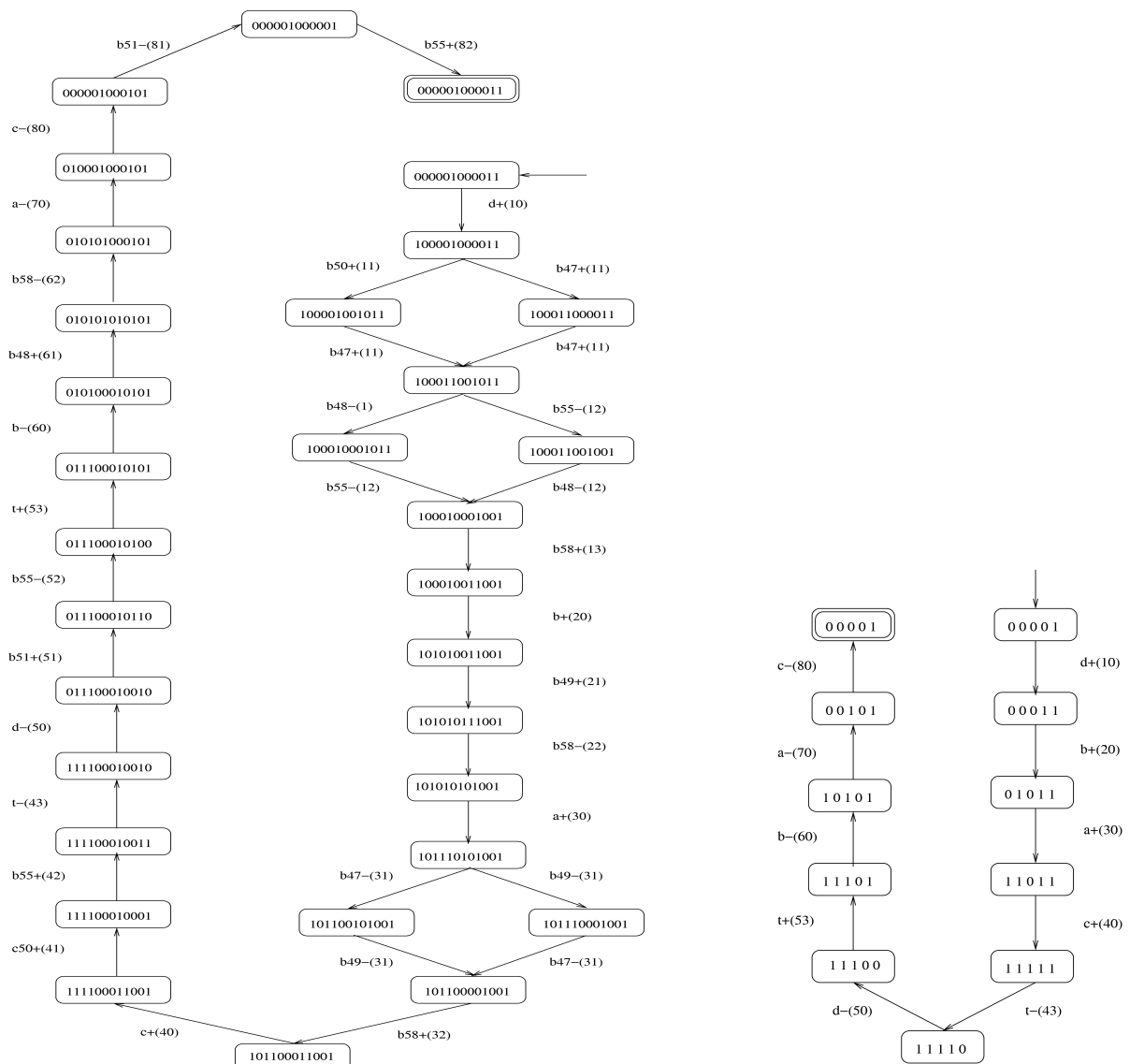
- 8 automates associés aux signaux internes et de sortie du circuit + les automates d'environnement.
- 8 horloges locales des automates associés aux portes du circuit+ l'horloge globale.
- 12 variables discrètes associées aux signaux du circuit.
- 16 paramètres associés aux délais des fronts montants et descendants des portes du circuit.
- 3 x 8 locations des automates associés aux portes du circuit + les locations des automates d'environnement.

La propriété donnée ci-dessous est bien vérifiée. Elle exprime le comportement attendu du signal de sorties qui est conforme au graphe STG qui décrit la spécification du circuit.

- AG ( (((t>0 & t<43) or t>53) => t1=1) & ((t>43 & t<53) => t1=0) ).

A titre d'indication, le temps de génération de la description en Uppaal est inférieur 0.1 sec. Le temps de la vérification de cette dernière propriété est aussi inférieur 0.1s.

Le graphe d'accessibilité construit par simulation est donné ci-dessous.



(a)

(b)

Figure 2 : le graphe d'accessibilité construit par Uppaal: (a) graphe détaillé. (b) graphe sur les signaux I/O

### **Bibliographie**

[NMY.07] C. Nelson, C. Myers, and T. Yoneda, *Efficient verification of hazard-freedom in gate-level timed asynchronous circuits*, in IEEE Transactions on CAD, 26(3): 592-605, March, 2007.