

Le circuit RCV_SETUP :

Cet exemple est tiré de l'article [VWK.95]. La spécification STG du contrôleur *rcv-setup* décrit sous forme d'un graphe STG et son implémentation sont donnés dans les figures 1.a et 1.b respectivement.

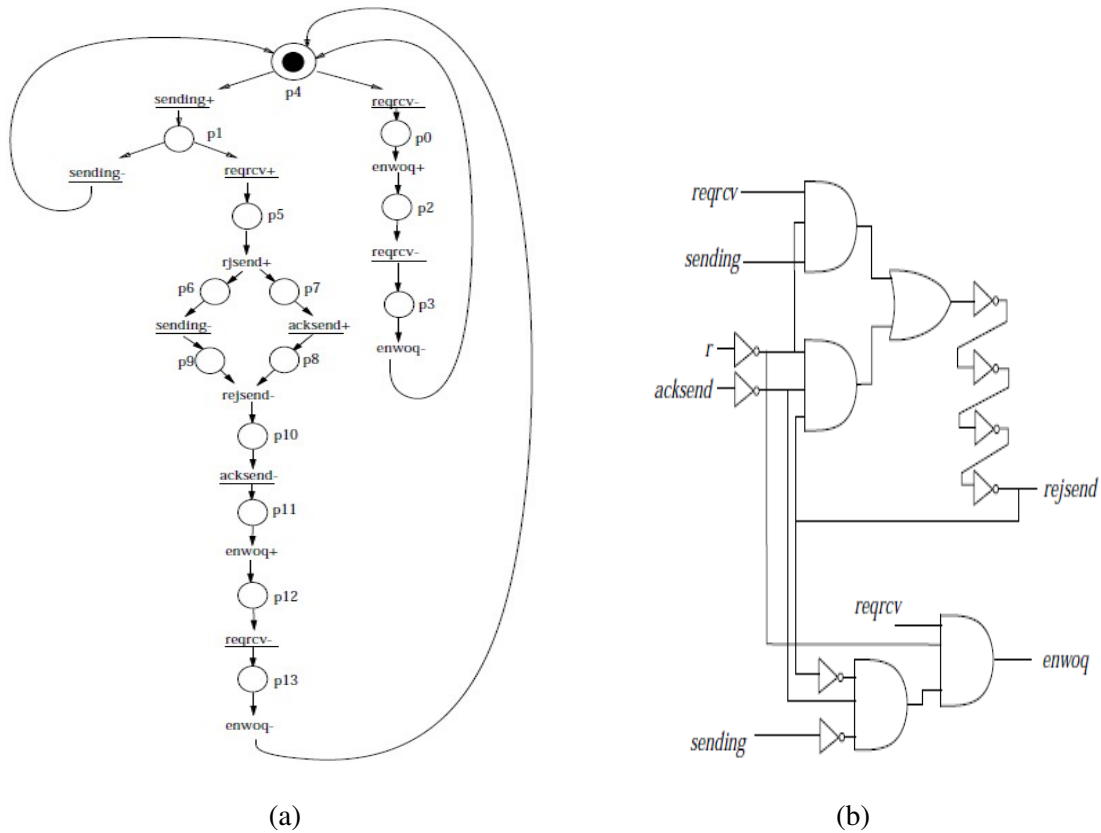


Figure 1: le contrôleur *rcv-setup*: (a) La spécification du contrôleur *rcv-setup*. (b) L'implémentation du contrôleur *rcv-setup*.

L'implémentation du circuit en VHDL est donnée comme suit :

```

ENTITY rcv_setup IS
  PORT (
    rejsend : out   BIT;
    enwoq   : out   BIT;
    reqrcv  : in    BIT;
    sending : in    BIT;
    acksend : in    BIT;
    r       : in    BIT
  );
END rcv_setup;

ARCHITECTURE RTL OF rcv_setup IS
  SIGNAL t1 : BIT;
  SIGNAL t2 : BIT;
  SIGNAL t3 : BIT;
  SIGNAL t4 : BIT;
  SIGNAL w1 : BIT;
  SIGNAL w2 : BIT;
  SIGNAL w3 : BIT;
  SIGNAL w4 : BIT;
  SIGNAL w5 : BIT;
  SIGNAL w6 : BIT;
  SIGNAL w7 : BIT;

```

```

BEGIN
t1 <= (reqrcv and w1) and sending;
t2 <= (w1 and w2) and rejsend;
t3 <= (t1 or t2);
t4 <= (w3 and w2) and w4;
w1 <= not r;
w2 <= not acksend;
w3 <= not rejsend;
w4 <= not sending;
w5 <= not t3;
w6 <= not w5;
w7 <= not w6;
enwoq <= (reqrcv and w1) and t4;
rejsend <= not w7;
END;

```

Nous allons refaire ici la simulation effectuée dans l'article [VWK.95] dont le résultat est décrit dans le diagramme mentionné dans la figure 2. Ici, les délais des portes du circuit sont tous définis à 800 sauf des délais des ports simples (not, wire). Le comportement des signaux d'entrée est décrit dans la description env présentée ci-dessous.

```

r : 10400 down;
reqrcv : 14400 up, 24000 down, 27200 up, 30400 down;
sending : 12000 up, 17600 down, 32800 up, 34400 down;
acksend : 16800 up, 20000 down;

```

La description en Uppaal générée est caractérisée par :

- 13 automates associés aux signaux internes et de sortie du circuit + les automates d'environnement.
- 13 horloges locales des automates associés aux portes du circuit+ l'horloge globale.
- 4+11+3 variables discrètes associées aux signaux du circuit.
- 2 x 13 paramètres associés aux délais des fronts montants et descendants des portes du circuit.
- chacun de ces automates associés aux portes du circuit contiennent 3 locations + les locations associées aux automates d'environnement.

Les propriétés mentionnées ci-dessous sont bien vérifiées. Elles expriment le comportement attendu des signaux de sorties du circuit.

- AG ((((t>0 & t<11) or t>41) => c=0) & ((t>11 & t<41) => c=1)).1
- AG ((((t>0 & t<12) or (t>32 & t<42) or t>62) => b=0) and (((t>12 and t<32) or (t>42 and t<62)) => b==1)).

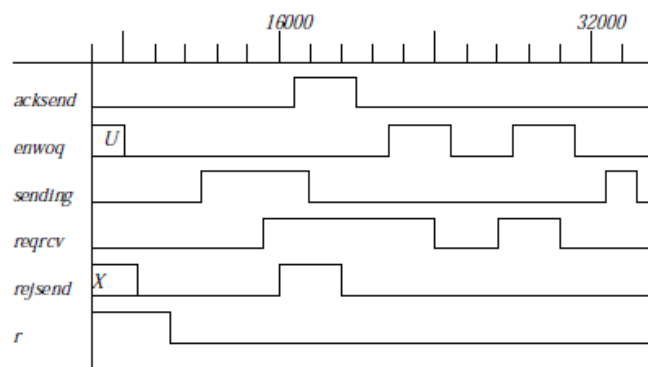


Figure 2 : La simulation du contrôleur *rcv-setup*.

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0,1 sec. Le temps de la vérification de chacune de ces trois propriétés est aussi inférieur à 0,1 sec.

La projection des temps d'apparition des fronts des signaux sur la spécification STG est donnée dans la figure 3.

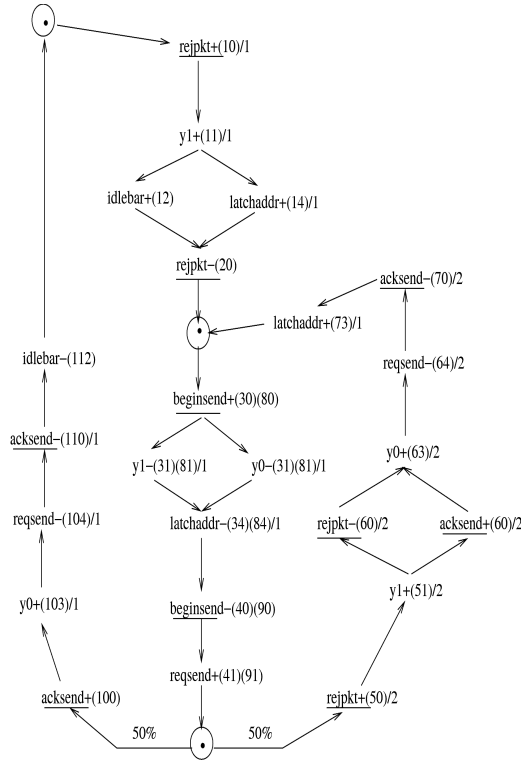


Figure 3 : les temps d'apparition des signaux du circuit dans le graphe STG du circuit *rcv-setup*.

Le graphe d'atteignabilité construit par simulation est décrit dans la figure 4.

Figure 4 : Le graphe d'atteignabilité généré par Uppaal.

Bibliographie

[VWK.95] Peter Vanbekbergen, Albert Wang, Kurt Keutzer. *A Design and Validation System for Asynchronous Circuits*. 32nd ACM/IEEE Design Automation Conference DAC 1995: 725-730.