

Le circuit QR42 :

Cet exemple est tiré du rapport technique [P-J.98]. La spécification du contrôleur *qr42* et son implémentation sont donnés dans les figures 1.a et 1.b respectivement.

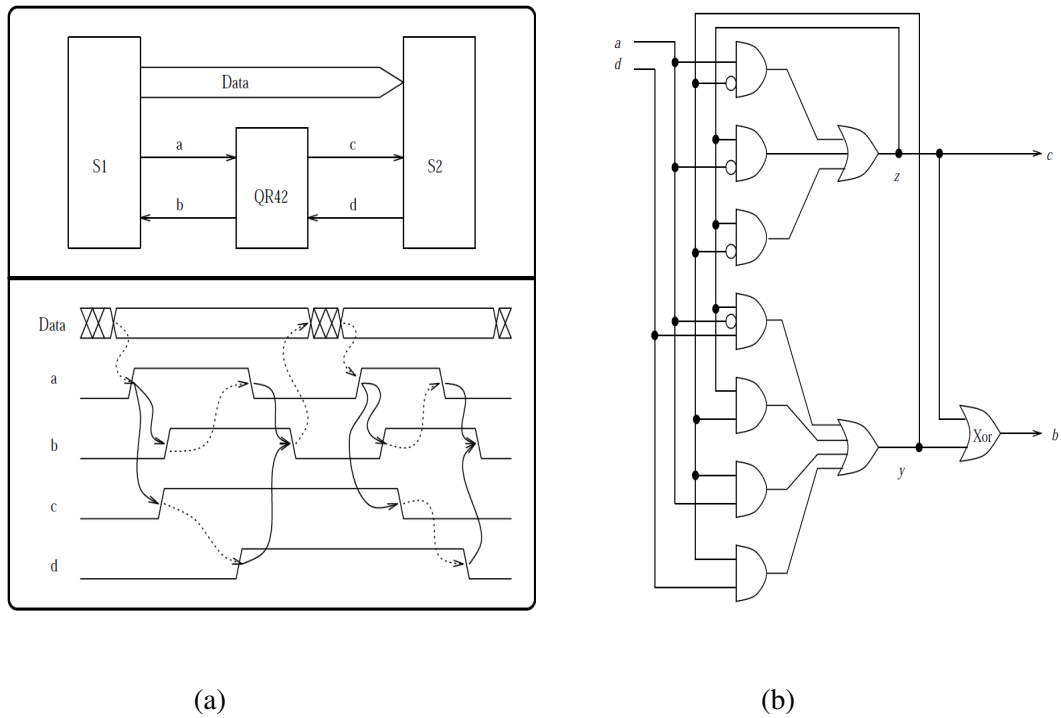


Figure 1 : le contrôleur *qr42* : (a) La spécification du contrôleur. (b) L'implémentation du contrôleur.

L'implémentation du circuit en VHDL est donnée comme suit :

```

ENTITY qr42 IS
  PORT (
    b : out    BIT;
    c : out    BIT;
    a : in     BIT;
    d : in     BIT
  );
END qr42;

ARCHITECTURE RTL OF qr42 IS
  SIGNAL z : BIT;
  SIGNAL y : BIT;

BEGIN

  z <= ((a and not y) or (z and not a)) or (z and not y);
  y <= (((z and not a) and d) or (z and y)) or (y and a) or (y and d);
  b <= z xor y;
  c <= z;

END;
```

Les délais de traversée des portes du circuit sont tous définis à 1. Nous avons effectué un test sur l'environnement décrit ci-dessous.

```
a : 10 up, 30 down, 40 up, 50 down;
```

d : 20 up, 60 down;

La description en Uppaal générée est caractérisée par :

- 4 automates associés aux signaux internes et de sortie du circuit + les automates d'environnement.
- 4 horloges locales pour chaque automate associé à une porte du circuit + l'horloge globale.
- 2+2+2 variables discrètes associées aux signaux du circuit.
- 2 x 4 paramètres associés aux délais des fronts montants et descendants des portes du circuit.
- chacun de ces automates associés aux portes du circuit contiennent 3 locations + les locations associés aux automates d'environnement.

Les propriétés présentées ci-dessous sont bien vérifiées. Elles expriment le comportement attendu des signaux de sorties du circuit.

- $AG (((t>0 \ \& \ t<11) \ \text{or} \ t>41) \Rightarrow c=0) \ \& \ ((t>11 \ \& \ t<41) \Rightarrow c=1))$.
- $AG ((((t>0 \ \& \ t<12) \ \text{or} \ (t>32 \ \& \ t<42) \ \text{or} \ t>62) \Rightarrow b=0) \ \text{and} \ (((t>12 \ \text{and} \ t<32) \ \text{or} \ (t>42 \ \text{and} \ t<62)) \Rightarrow b==1))$.

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0.1 sec. Le temps de la vérification de chacune de ces deux propriétés est aussi inférieur à 0.1s.

La projection des temps d'apparition des fronts des signaux sur le graphe STG qui décrit la spécification du circuit est donnée dans la figure 3.

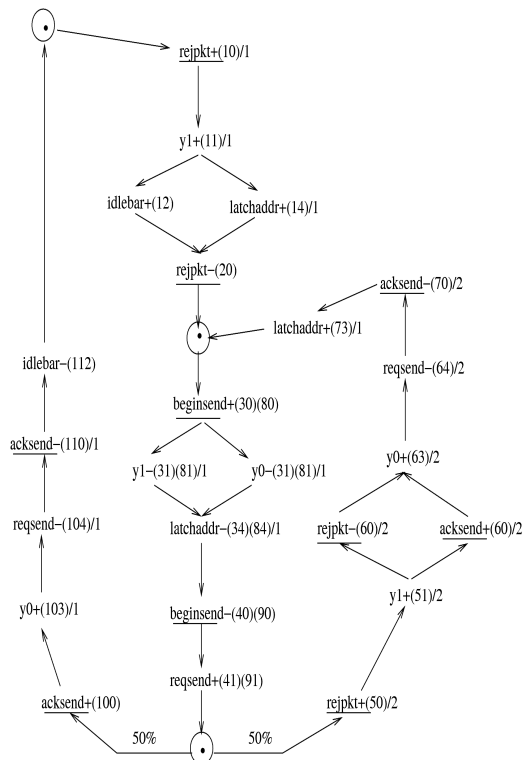


Figure 2 : les temps d'apparition des signaux dans le STG du circuit *qr42*.

Comme montre le graphe construit par simulation, décrit ci-dessous dans la figure 3, la séquence d'évènements est bien conforme à la spécification du module *qr42* présentée dans la figure 1.

Figure 3 : les temps d'apparition des signaux du circuit dans le graphe d'atteignabilité.

Bibliographie

[P-J.98] Simon L Peyton Jones. *A practical technique for designing asynchronous nite-state machines*. Technical report, Glasgow university, 1998.