

La porte de MULLER :

Le graphe STG de la porte de Muller et son implémentation en portes logiques sont donnés ci-dessous. On note que les figures sont tirées de la thèse [Fol.07].

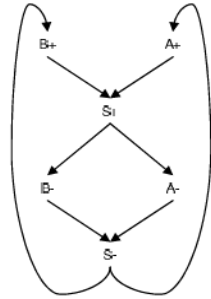


Figure 1.a : STG de la porte muller.

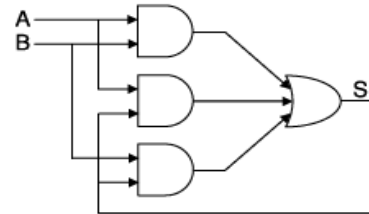


Figure 1.b : Implémentation de la porte muller

L'implémentation de la porte en VHDL est donnée ci-dessous :

```
ENTITY muller IS
  PORT (
    s : out   BIT;
    a : in    BIT;
    b : in    BIT
  );
END muller;

ARCHITECTURE RTL OF muller IS
BEGIN
  s <= ((a and b) or (a and s)) or (b and s);
END;
```

Les délais de traversée des portes du circuit sont tous définis à 1. Nous avons effectué un test sur l'environnement décrit ci-dessous.

```
a : 5 up, 15 down;
b : 10 up, 20 down;
```

La description en Uppaal générée est caractérisée par :

- 1 automate associé à la porte + les automates d'environnement.
- 1 horloge locale + l'horloge globale.
- 3 variables discrètes.
- 2 paramètres associés aux délais des fronts montants et descendants de la porte.
- 3 x 1 Locations associées aux automates des signaux de sorties + les locations associées aux automates d'environnement.

La propriété mentionnée ci-dessous est bien vérifiée. Elle exprime que comportement du signal de sortie s attendu qui est conforme a la spécification STG du circuit.

```
AG (((t>0 & t<11) or t>21) => s = 0) & ((t>11 & t<21) => s = 1)).
```

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0,1 sec. Le

temps de la vérification de chacune de ces trois propriétés est aussi inférieur 0,1 sec.

Le graphe construit par simulation est présenté ci-dessous. Comme nous pouvons le voir, la séquence d'évènements est conforme au graphe STG présenté ci-dessous.

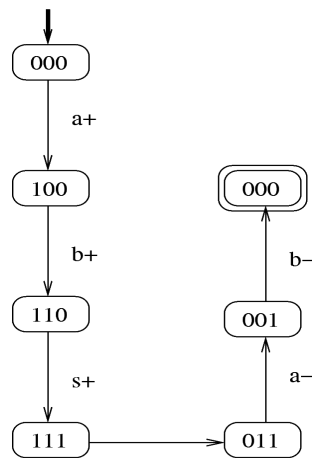


Figure 2 : le graphe d'accessibilité construit par Uppaal.

La projection des temps d'apparition des fronts des signaux sur la spécification STG est donnée dans la figure 3 mentionnée ci-dessous.

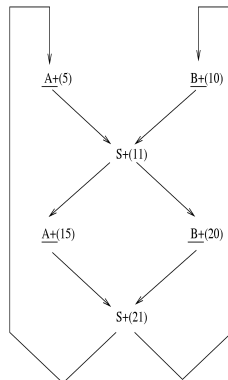


Figure 3 : les temps d'apparition des signaux dans le graphe STG du circuit *muller*.

Bibliographie

[Fol.07] B. Folco. *Contribution à la synthèse de circuits asynchrones quasi-insensibles aux délais, application au systèmes sécurisés*. PhD Thesis, Laboratoire TIMA, Institut National Polytechnique de Grenoble INPG, Octobre 2007.