

Le circuit MP-FOR-PKT :

Cet exemple est tiré de l'article [OSS.08]. Dans ce dernier, on trouve un exemple d'analyse du circuit *mp-for-pkt*, suivi d'une simulation.

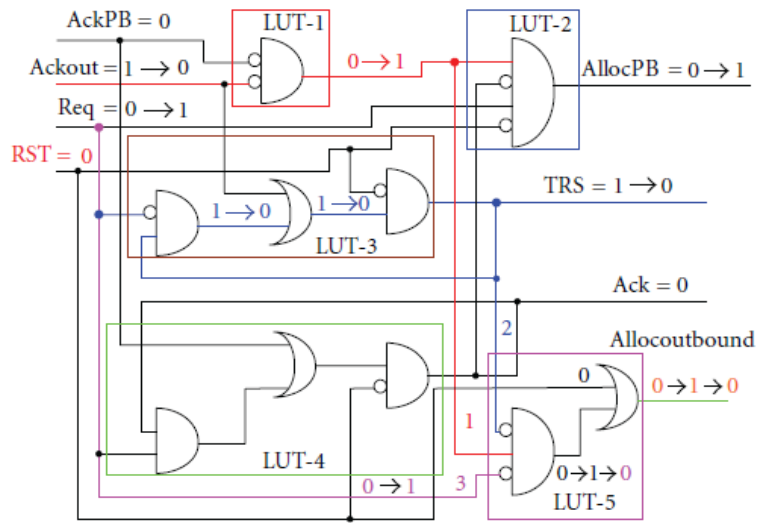


Figure 1: le circuit *mp-for-pkt*.

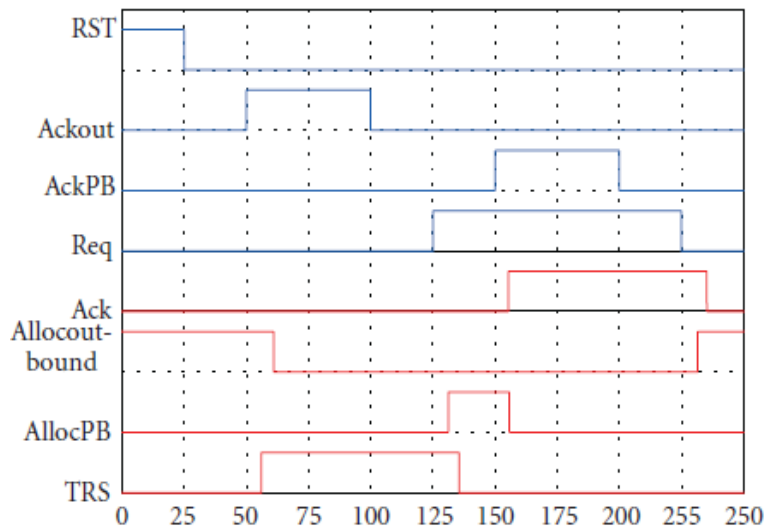


Figure 2: Simulation du circuit *mp-for-pkt*.

Nous avons effectué le même test que celui fait dans l'article. Les résultats obtenus sont aussi identiques.

Le code VHDL associé à ce circuit est donné comme suit :

```

ENTITY mp_for_pkt IS
  PORT (
    AllocPB          : out  BIT;
    TRS              : out  BIT;
    Ack              : out  BIT;
    Allocoutbound   : out  BIT;
    AckPB           : in   BIT;
    Ackout          : in   BIT;
    Req             : in   BIT;
    RST             : in   BIT
  );

```

```

);
END mp_for_pkt;

ARCHITECTURE RTL OF mp_for_pkt IS
    SIGNAL t1 : BIT;
    SIGNAL t2 : BIT;
    SIGNAL t3 : BIT;
    SIGNAL t4 : BIT;
    SIGNAL t5 : BIT;
    SIGNAL t6 : BIT;

BEGIN
    t1 <= not AckPB and not Ackout;
    t2 <= not Req and TRS;
    t3 <= Ackout or t2;
    TRS <= not RST and t3;
    t4 <= Ack and Req;
    t5 <= AckPB or t4;
    Ack <= t5 and not RST;
    t6 <= (not TRS and t1) and not Req;
    Allocoutbound <= RST or t6;
    AllocPB <= ((t1 and not Ack) and Req) and not RST;
END;

```

L'environnement employé dans la simulation décrit dans la figure 2, est donné ci-dessous. Nous donnons la valeur 1 aux délais de traversée des portes du circuit.

```

AckPB : 150 up, 200 down;
Ackout : 50 up, 100 down;
Req : 125 up, 225 down;
RST : 25 down;

```

La description en Uppaal générée possède les caractéristiques suivantes :

- 10 automates associés aux portes du circuit + les automates d'environnement associés aux comportements des deux signaux d'entrées Ai et Ri.
- 10 horloges locales correspondant aux automates + l'horloge globale.
- 4+6+4 variables discrètes.
- 2 x 10 paramètres associés aux délais des portes du circuit.
- 3 x 10 locations des automates associés aux portes du circuits + les locations associées aux automates d'environnement.

Les propriétés mentionnées ci-dessous sont bien vérifiées. Elles expriment le comportement des quatre signaux de sorties (Ack, Allocoutbound, AllocPB et TRS).

```

- AG (((t>152 & t<228) => Ack = 1) and (((t>0 & t<152) or t>228) => Ack = 0)).
- AG (((t>53 & t<227) => Allocoutbound = 0) and (((t>0 & t<53) or t>227) => Allocoutbound = 1)).
- AG (((t>126 & t<152) => AllocPB = 1) and (((t>0 & t<126) or t>152) => AllocPB = 0)).
- AG (((t>52 & t<128) => TRS = 1) and (((t>0 & t<52) or t>128) => TRS = 0)).

```

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0,1 sec. Le temps de la vérification de chacune de ces trois propriétés est aussi inférieur à 0,1 sec.

Le graphe d'états atteignables simulés par l'outil Uppaal est donné dans la figure 4.

Figure 4 : les temps d'apparition des signaux du circuit dans le graphe d'atteignabilité.

Bibliographie

[OSS.08] D. L. Oliveira, M. Strum, and S. S. Sato, *Burst-Mode Asynchronous Controllers on FPGA*, International Journal of Reconfigurable Computing, vol. 2008, Article ID 926851, 10 pages, 2008. doi:10.1155/2008/926851.