

Le circuit HALF :

Cet exemple est tiré de l'article [BJMY.02]. La spécification STG et son graphe de marquage associé et son implémentation sont donnés ci-dessous.

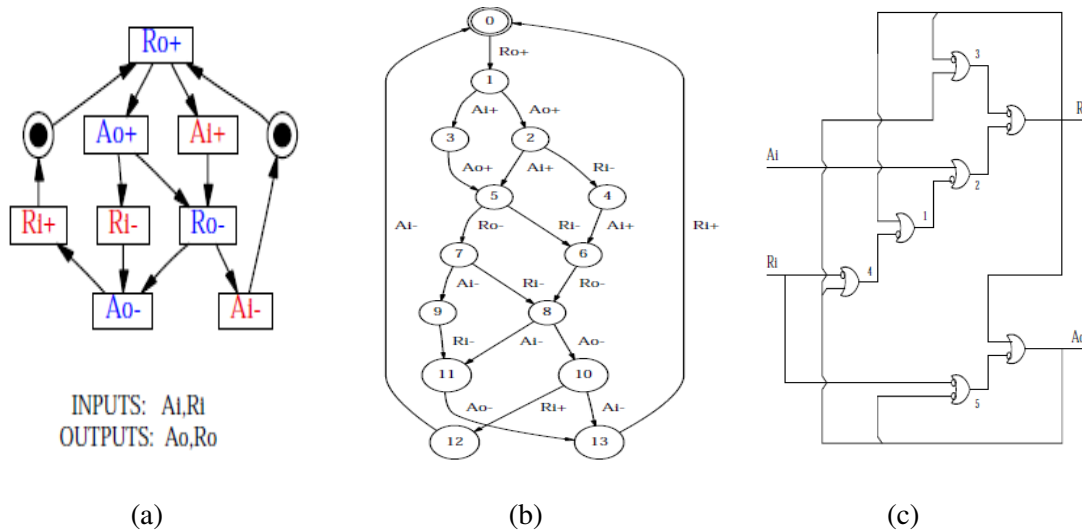


Figure 1 : le circuit *half* : (a) La spécification STG du circuit *half*. (b) l'automate équivalent pour la spécification. (c) le circuit synthétisé.

Le code VHDL associé au circuit est donné comme suit :

```

ENTITY half IS
  PORT (
    Ao : out   BIT;
    Ro : out   BIT;
    Ai : in    BIT;
    Ri : in    BIT
  );
END half;

ARCHITECTURE RTL OF half IS
  SIGNAL t1 : BIT;
  SIGNAL t2 : BIT;
  SIGNAL t3 : BIT;
  SIGNAL t4 : BIT;
  SIGNAL t5 : BIT;

BEGIN
  t1 <= Ro or not t4;
  t2 <= Ai or not t1;
  t3 <= not Ro or Ao;
  t4 <= not Ri or Ao;
  t5 <= not Ri or not Ao;
  Ao <= Ro or not t5;
  Ro <= not t2 or not t3;
END;

```

Nous avons effectué des tests sur les deux environnements décrits ci-dessous. Les délais de traversée des portes du circuit sont tous définis à 27 unités de temps.

```

Env1:
Ai : 82 down, 245 up;

```

Ri : 82 up, 245 down;

Env2:

Ai : 82 down, 217 up;

Ri : 82 up, 245 down;

En utilisant notre outil vhdl2ta, la description en Uppaal générée possède les caractéristiques suivantes :

- 7 automates associés aux portes du circuit + les automates d'environnement associés aux comportements des deux signaux d'entrée Ai et Ri.
- 7 horloges locales correspondant aux automates + l'horloge globale.
- 9 variables discrètes.
- 2 x 7 paramètres associés aux délais des portes du circuit.
- chacun de ces automates associés contient 3 locations + les locations associées aux automates d'environnement.

Les propriétés mentionnées ci-dessous sont bien vérifiées pour les deux environnements. Elles expriment le comportement attendu des deux signaux de sorties, soient Ao et Ro, qui est bien conforme à la spécification STG qu'on représente à nouveau dans la figure 2.

Env1:

- AG (((t>190 & t<299) => ro = 1) and (((t>0 & t<190) or t>299) => ro = 0)).

- AG (((t>217 & t<326) => ao = 1) and (((t>0 & t<217) or t>326) => ao = 0)).

Env2:

- AG (((t>190 & t<271) => ro = 1) and (((t>0 & t<190) or t>271) => ro = 0)).

- AG (((t>217 & t<299) => ao = 1) and (((t>0 & t<217) or t>299) => ao = 0)).

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0,1 sec. Le temps de la vérification de chacune de ces trois propriétés est aussi inférieur 0,1 sec.

La projection des temps d'apparition des fronts des signaux sur le graphe STG, pour les deux environnements, est présentée dans la figure 2.

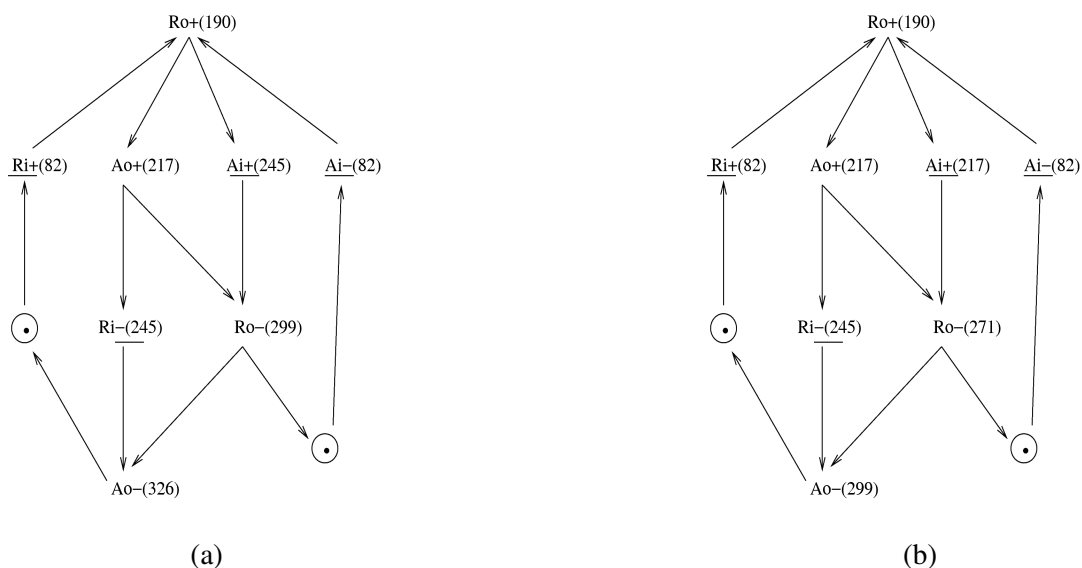


Figure 2 : les temps d'apparition des signaux dans le graphe STG du circuit. (a) avec env1. (b) avec env2.

Les deux graphes d'états atteignables simulés par l'outil Uppaal sont présentés ci-dessous dans les figures 3.a et 3.b respectivement. Comme nous pouvons le voir, ces graphes sont bien conformes au graphe de marquage donné dans la figure 1.b.

Figure 3 : les graphes d'atteignabilités obtenus par simulation : (a) avec env1. (b) avec env2.

Bibliographie

[BJMY.02] M. Bozga, H. Jianmin, O.Maler and S. Yovine, *Verification of Asynchronous Circuits Using Timed Automata*, In *TPTS'02 Workshop*, joint with ETAPS'02 Conference, Elsevier (2002).