

Le circuit D FLIP-FLOP :

Cet exemple est tiré des deux articles [CC.04] et [ACEF.08]. Le circuit et la description des paramètres de la spécification (les temps setup T_{setup} et hold T_{hold} du signal d'entrée D , la durée du front montant T_{HI} et du front descendant T_{LO} de l'horloge CK , et le temps de réponse $T_{CK \rightarrow Q}$), sont donnés ci-dessous.

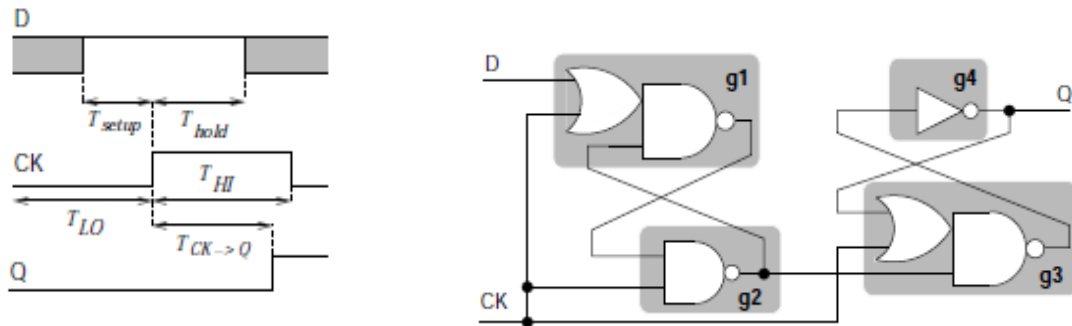


Figure 1.a : La description des paramètres de la spécification D flip-flop. Figure 1.b : L'implémentation du circuit D flip-flop.

L'implémentation du circuit en VHDL est donnée comme suit :

```

ENTITY flip_flop IS
  PORT (
    q : out   BIT;
    ck : in   BIT;
    d : in   BIT;
  );
END flip_flop;

ARCHITECTURE RTL OF flip_flop IS
  SIGNAL g1 : BIT;
  SIGNAL g2 : BIT;
  SIGNAL g3 : BIT;
  SIGNAL g4 : BIT;

BEGIN
  g1 <= not ((d or ck) and g2);
  g2 <= not (g1 and ck);
  g3 <= not ((q or ck) and g2);
  g4 <= not g3;
  q <= g4;      --(delai nul).
END ;

```

Nous avons fait un test similaire à celui effectué dans [ACEF.08], en prenant les mêmes valeurs pour les délais du point du bon fonctionnement π_0 . On rappelle ci-dessous les délais du point du bon fonctionnement et le système de contraintes synthétisés.

$$\pi_0 = \begin{cases} T_{HI} = 20 & T_{LO} = 15 & T_{Setup} = 10 & T_{Hold} = 15 \\ p_{g_1}^u = 1 & p_{g_1}^l = 1 & p_{g_2}^u = 6 & p_{g_2}^l = 5 \\ p_{g_3}^u = 10 & p_{g_3}^l = 8 & p_{g_4}^u = 5 & p_{g_4}^l = 3 \end{cases} \models K = \begin{cases} (1) & T_{LO} > T_{Setup} \\ (2) & T_{Setup} > p_{g_1}^u \\ (3) & T_{Hold} > p_{g_3}^u \\ (4) & T_{Hold} > p_{g_3}^u + p_{g_4}^u \end{cases}$$

Les résultats de tests sont les mêmes que celles présentés dans [ACEF.08]. En fait, nous avons fait des tests pour toutes les valeurs de $T_{setup} \in \{1, \dots, 15\}$. Le temps de réponse $T_{CK \rightarrow Q}$ est dans [8,11]. Le graphe d'atteignabilité obtenu dans tous ces tests, est le même que celui présenté dans [ACEF.08]. Il est donné dans

la figure 2.

$$\begin{array}{l}
 p_{g_1}^u = 1 \quad \wedge \quad p_{g_1}^l = 1 \quad \wedge \quad p_{g_2}^u = 6 \quad \wedge \quad p_{g_2}^l = 5 \quad \wedge \\
 p_{g_3}^u = 10 \quad \wedge \quad p_{g_3}^l = 8 \quad \wedge \quad p_{g_2}^u = 5 \quad \wedge \quad p_{g_2}^l = 3 \quad \wedge \\
 T_{HI} = 10 \quad \wedge \quad p_{g_1}^u < T_{Setup} < T_{LO} = 15 \quad \wedge \quad T_{Hold} > p_{g_3}^u
 \end{array}
 \quad \Longrightarrow \quad T_{CK \rightarrow Q} \in [8, 11]$$

La description en Uppaal générée par le programme et la propriété vérifiée qui décrit le comportement du signal Q sont donnés comme suit :

La description :

- 4 automates associés aux signaux de sortie et internes de circuit + les automates d'environnement.
- 4 horloges locales correspondant aux automates + l'horloge globale.
- 4 variables discrètes associées aux signaux du circuit.
- 4 x 1 paramètres associés aux délais des fronts montants et descendants des signaux du circuit.
- 3 x 4 locations des automates associés aux portes du circuit + les locations associées aux automates d'environnement.

La propriété vérifiée :

$$AG(((t \geq 0 \ \& \ t < 23) \Rightarrow q=0) \ \& \ (t > 26 \Rightarrow q=1)).$$

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0,1 sec. Le temps de la vérification de cette dernière propriété est aussi inférieur à 0,1 sec.

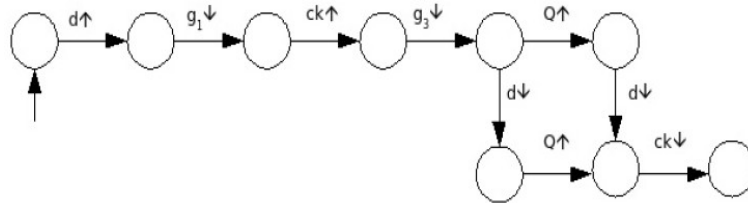


Figure 2: Le graphe d'atteignabilité du circuit *D flip-flop*.

Bibliographie

[ACEF.08] E. André, T. Chatain, E. Encrenaz, L. Fribourg, *An Inverse Method for Parametric Timed Automata*, 2nd International Workshop on Reachability Problems (RP'08), sept. 2008, U.K., Electronic Notes in Theoretical Computer Science (ENTCS), 223, pages 29-46, Elsevier Sciences Publishers 2008.