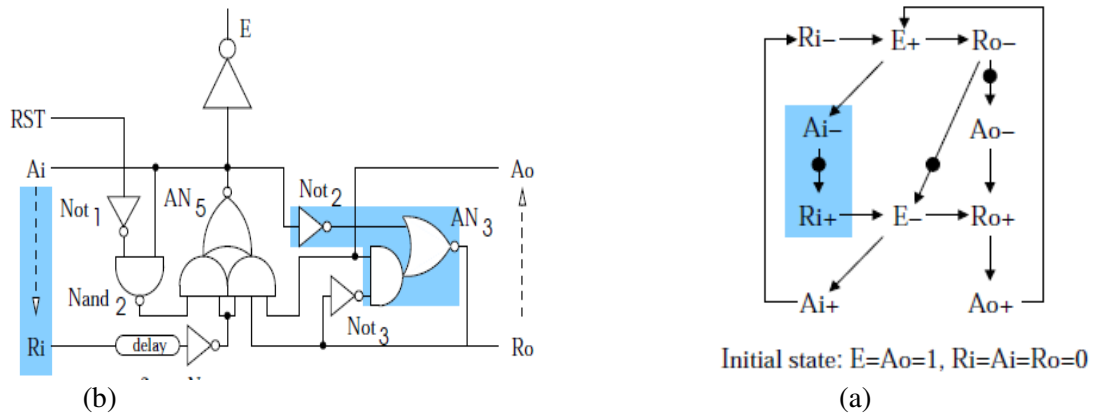


**Le circuit DESYNCH :**

Cet exemple est tiré de la thèse de Robert Clariso [Cla.05]. Dedans on trouve un exemple d'analyse paramétré du circuit *desynch*. Ce dernier, sa spécification STG et l'ensemble des contraintes temporelles qui donnent les points de bon fonctionnement sont présentés ci-dessous.



$$\begin{aligned}
 & \boxed{(Ri+ > Not_2 + AN_3)} \wedge (\delta^+ + Not_4 + AN_5 > Not_3) \text{ and} \\
 & (Not_3 + Ri- > Not_2 + AN_3 + Ao-) \wedge (Ao+ > Not_3) \wedge \\
 & (Ao- > Not_3) \wedge (Not_2 + AN_3 > Nand_2)
 \end{aligned}$$

(c)

Figure 1 : le circuit *desynch* : (a) La spécification STG du circuit. (b) l'implémentation du circuit. (c) les contraintes sur les paramètres de délais des portes du circuit et de l'environnement.

Son code VHDL associée est donné comme suit :

```

ENTITY desynch IS
  PORT (
    Ai : out   BIT;
    Ro : out   BIT;
    E  : out   BIT;
    Ao : in    BIT;
    Ri : in    BIT;
    RST: in   BIT
  );
END desynch;

ARCHITECTURE RTL OF desynch IS
  SIGNAL delay : BIT;
  SIGNAL not1  : BIT;
  SIGNAL not2  : BIT;
  SIGNAL not3  : BIT;
  SIGNAL not4  : BIT;
  SIGNAL an3   : BIT;
  SIGNAL an5   : BIT;
  SIGNAL nand2 : BIT;

BEGIN

  not1 <= not RST;
  nand2 <= not (not1 and an5);
  delay <= Ri;
  not4 <= not delay;
  not3 <= not an3;

```

```

an3 <= not ( not2 or (Ao and not3 ) );
an5 <= not ((nand2 and not4) or ( an3 and Ao) and not4));
not2 <= not an5;
E <= not an5;
Ai <= an5;
Ro <= an3;

END;

```

Nous avons effectué un test sur l'environnement décrit ci-dessous. Les délais de traversée des portes du circuit sont tous définis à 1.

```

Ao : 10 down, 20 up;
Ri : 10 up, 30 down;
RST: 0;

```

La description en Uppaal générée possède les caractéristiques suivantes :

- 11 automates associées aux portes du circuit + les automates d'environnement associées aux comportements des deux signaux d'entrée Ao et Ri.
- 11 horloges locales correspondant aux automates + l'horloge globale.
- 14 variables discrètes associées aux signaux du circuit.
- 2 x 11 paramètres associés aux délais des portes du circuit.
- chacun des automates associés aux portes du circuit contient 3 locations + les locations des automates d'environnement.

Les propriétés suivantes sont bien vérifiées. Elles expriment le comportement attendu des trois signaux de sortie ( Ro, Ai et E).

- AG (((t>15 & t<35) => Ro = 1) & (((t>0 & t<15) or t>35) => Ro = 0)).
- AG (((t>13 & t<33) => Ai = 1) & (((t>0 & t<13) or t>33) => Ai = 0)).
- AG (((t>14 & t<34) => E = 1) & (((t>0 & t<14) or t>34) => E = 0)).

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0,1 sec. Le temps de la vérification de chacune de ces trois propriétés est aussi inférieur 0,1 sec.

**Correction :** d'après l'analyse qu'on fait, La spécification du circuit donnée sous forme du graphe STG doit être modifiée comme suit :

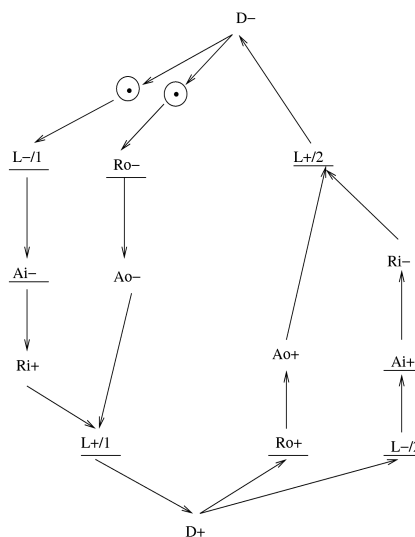


Figure 2 : la spécification STG du circuit *desynch*.

La projection des temps d'apparition des fronts des signaux du circuit sur le graphe STG est donnée dans la figure 3.

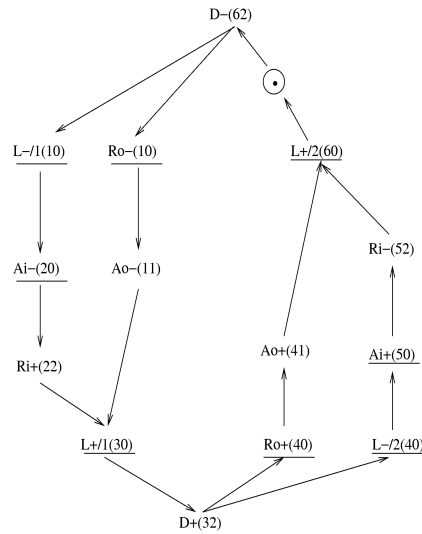


Figure 3 : les temps d'apparition des signaux dans le STG du circuit *desynch*.

Comme montre le graphe construit par simulation, décrit dans la figure 4, la séquence d'évènements est bien conforme à la spécification STG du circuit.

Figure 4 : les temps d'apparition des signaux du circuit dans le graphe construit par simulation.

### Bibliographie

[Cla.05] R. Clarisó. *Abstract Interpretation Techniques for the Verification of Timed Systems*. PhD Thesis, Department of Software (LSI), Technical University of Catalonia (UPC). September 2005.