

Le circuit CONVERTA :

Cet exemple est tiré de l'article [SGKS.00]. Le circuit et son spécification STG sont donnés ci-dessous.

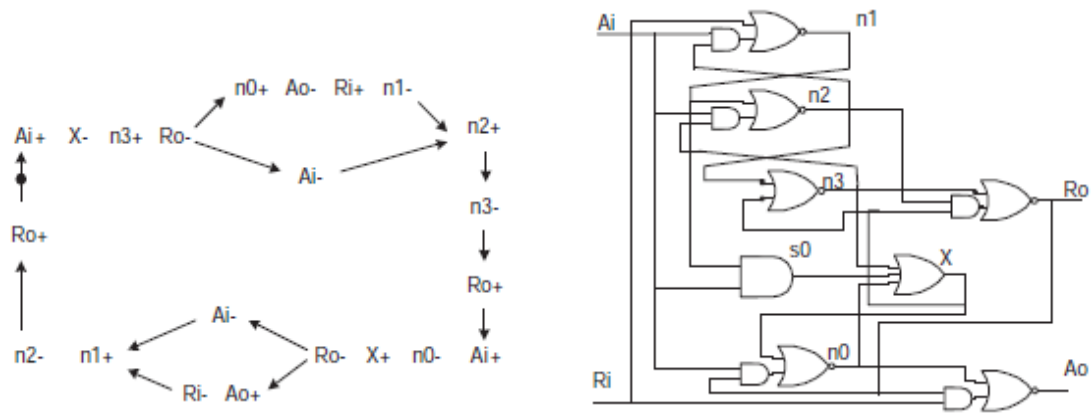


Figure 1.a : Spécification STG du contrôleur *converta*. Figure 1.b : Implémentation du contrôleur *converta*.

L'implémentation du circuit en VHDL est donné comme suit :

```

ENTITY converta IS
  PORT (
    Ro : out    BIT;
    Ao : out    BIT;
    Ri : in     BIT;
    Ai : in     BIT
  );
END converta;

ARCHITECTURE RTL OF converta IS
  SIGNAL x : BIT;
  SIGNAL s0 : BIT;
  SIGNAL n0 : BIT;
  SIGNAL n1 : BIT;
  SIGNAL n2 : BIT;
  SIGNAL n3 : BIT;
BEGIN
  n0 <= not (x or (Ai and Ro));
  n1 <= not (Ri or (Ai and n2));
  n2 <= not (n1 or (Ai and n3));
  n3 <= not (n2 or x);
  s0 <= n1 and Ai;
  x <= not ((n3 or s0) or n0);
  Ro <= not (n3 or (n2 and x));
  Ao <= not (n0 or (Ro and Ri));
END;

```

Les délais de traversée des portes du circuit sont tous définis à 1. Nous avons effectué un test sur l'environnement décrit ci-dessous.

```

Ai : 10 up, 20 down, 30 up, 40 down;
Ri : 20 up, 40 down;

```

La description en Uppaal générée est caractérisée par :

- 8 automates associés aux signaux de sortie et internes de circuit + les automates d'environnement.
- 8 horloges locales pour chaque automate associée à l'une des portes du circuit + l'horloge globale.
- 10 variables discrètes associées aux signaux du circuit.
- 16 paramètres associés aux délais des fronts montants et descendants des signaux du circuit.
- 3 x 8 locations des automates associés aux portes du circuit + les locations associées aux automates d'environnement.

La propriété mentionnée ci-dessous est bien vérifiée. Elle exprime le comportement des deux signaux de sortie attendu qui est conforme à la spécification STG du circuit.

$AG ((t > 14 \ \& \ t < 24) \ \text{or} \ (t > 33 \ \& \ t < 43)) \Rightarrow Ro = 0) \ \text{and} \ ((t > 0 \ \& \ t < 14) \ \text{or} \ (t > 24 \ \& \ t < 33) \ \text{or} \ t > 43)) \Rightarrow Ro = 1).$

$AG ((t > 16 \ \& \ t < 34 \Rightarrow Ao = 0) \ \text{and} \ ((t > 0 \ \& \ t < 16) \ \text{or} \ t > 34) \Rightarrow Ao = 1).$

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0,1 sec. Le temps de la vérification de chacune de ces trois propriétés est aussi inférieur à 0,1 sec.

Comme montre le graphe construit par simulation donné dans la figure 3, la séquence d'évènements est bien conformes à la spécification STG présentée ci-dessus. La projection des temps d'apparition des fronts des signaux sur la spécification STG est donnée dans la figure 2.

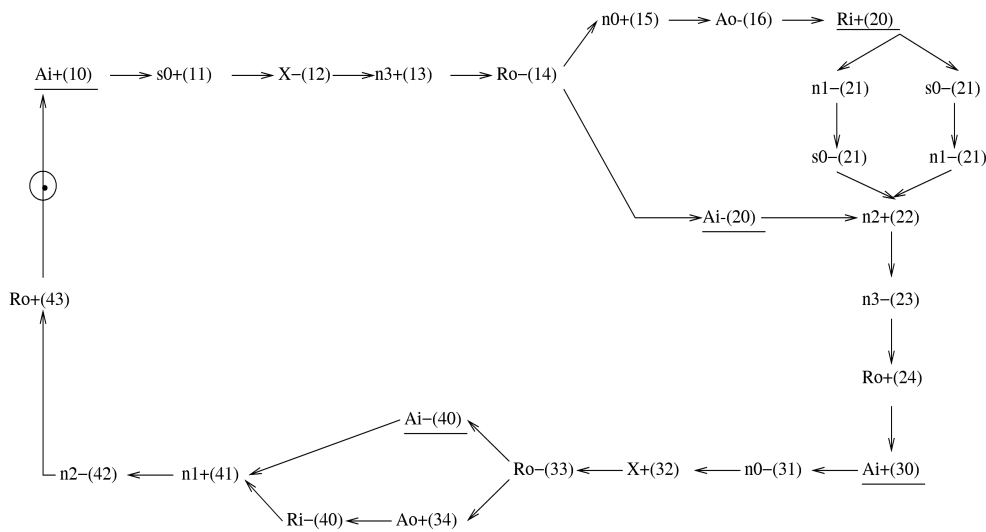


Figure 2 : les temps d'apparition des signaux dans la spécification STG du circuit *converta*.

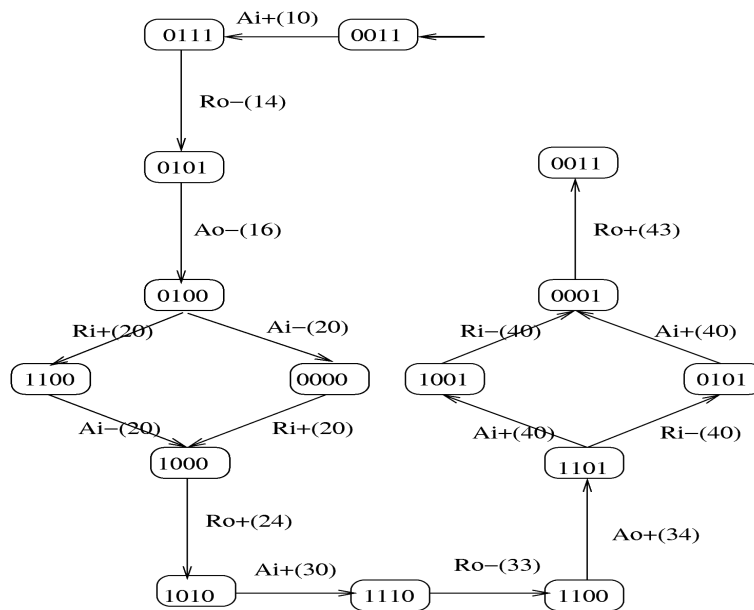


Figure 3 : les temps d'apparition des signaux d'entrée/sortie dans le graphe construits par simulation.

Bibliographie

[SGKS.00] N. Starodoubtsev, M. Goncharov, I. Klotchkov and A. Smirnov. *Synthesis of asynchronous interface circuits by STG refinement*. In: A. Yakovlev and R. Nouta (Eds.) Proceedings of Int. Workshop on Asynchronous Interfaces: Tools, techniques, and Implementations (AINT'2000), TU Delft, The Netherlands, July 2000, ISBN 90-5326-037-4, pp. 65-74.