

Le circuit CHU150 :

Cet exemple est tiré de l'article [SKCLYTN.02]. La spécification STG du contrôleur est décrite ci-dessous.

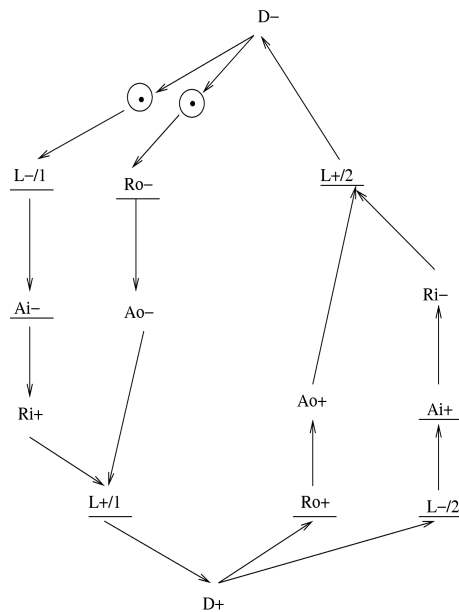


Figure 1: Le contrôleur *chu150* : (a) la spécification STG du contrôleur *chu150*. (b) le circuit *chu150*.

Figure 1: La spécification STG du contrôleur *chu150*.

Le circuit qui implémente cette spécification est décrit sous forme d'un programme VHDL dont le code est donné ci-dessous :

```

ENTITY chu150 IS
  PORT (
    D      : out  BIT;
    Ao     : out  BIT;
    Ri     : out  BIT;
    Ai     : in   BIT;
    Ro     : in   BIT;
    L      : in   BIT
  );
END chu150;

ARCHITECTURE RTL OF chu150 IS
  signal t0 : BIT;
  signal t1 : BIT;
  signal t2 : BIT;
  signal t3 : BIT;
BEGIN
  t0 <= not L and Ai;
  t1 <= not Ai and not L ;
  t2 <= (L and not Ai) and Ri;
  t3 <= (L and Ai) and not Ri;
  D <= ( D and not t3) or t2;
  Ao <= Ro;
  Ri <= ( Ri and not t0) or t1;
END;
```

Nous avons effectué un test sur l'environnement décrit ci-dessous. Les délais de traversée des portes du

circuit sont tous définis à 1.

Ai : 20 down, 50 up;
 Ro : 10 down, 40 up;
 L : 10 down, 30 up, 40 down, 60 up;

La description en Uppaal générée est décrite comme suit :

- 7 automates associés aux portes du circuit + les automates d'environnement associés aux comportements des signaux d'entrées L, Ai et Ro.
- 7 horloges locales correspondant aux automates + l'horloge globale.
- 3+4+3 variables discrètes associées aux signaux du circuit.
- 2 x 7 paramètres associés aux délais des portes du circuit.
- chacun de ces automates associés contient 3 locations + les locations associées aux automates d'environnement.

Les propriétés mentionnées ci-dessous sont bien vérifiées. Elles expriment le comportement attendu des trois signaux de sortie, soient Ri, Ao et D.

- $AG ((t > 11 \ \& \ t < 41) \Rightarrow Ao = 0) \ \& \ (((t > 0 \ \& \ t < 11) \ \text{or} \ t > 41) \Rightarrow Ao = 1)$.
- $AG (((t > 22 \ \& \ t < 52) \Rightarrow Ri = 1) \ \& \ (((t > 0 \ \& \ t < 22) \ \text{or} \ t > 52) \Rightarrow Ri = 0))$.
- $AG (((t > 32 \ \& \ t < 62) \Rightarrow D = 0) \ \& \ (((t > 0 \ \& \ t < 32) \ \text{or} \ t > 62) \Rightarrow D = 1))$.

Nous avons constaté que le temps de génération de la description en Uppaal est inférieur à 0,1 sec. Le temps de la vérification de chacune de ces trois propriétés est aussi inférieur 0,1 sec.

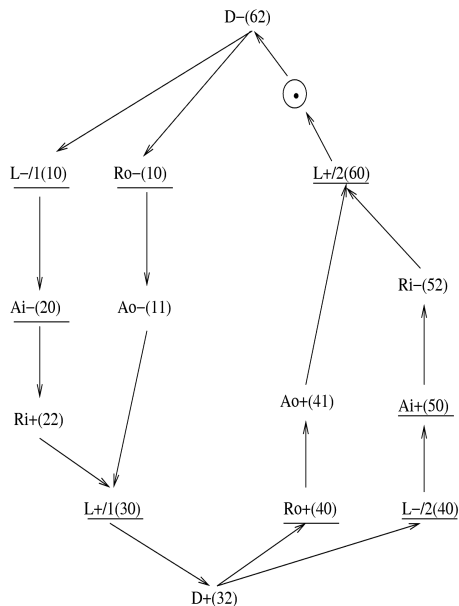


Figure 2 : les temps d'apparition des signaux dans le STG du circuit.

Le graphe d'atteignabilité construit par simulation est défini sur la figure 3.

