

### La porte de AND-OR :

L'analyse du composant *and-or* est traitée dans les deux articles [ACEF.09] et [CC.05]. Le but est d'extraire des contraintes sur les paramètres de délais, de portes et d'environnement dans lesquelles le comportement du composant est conforme à la spécification STG du composant. Ce dernier et son implémentation sont donnés ci-dessous.

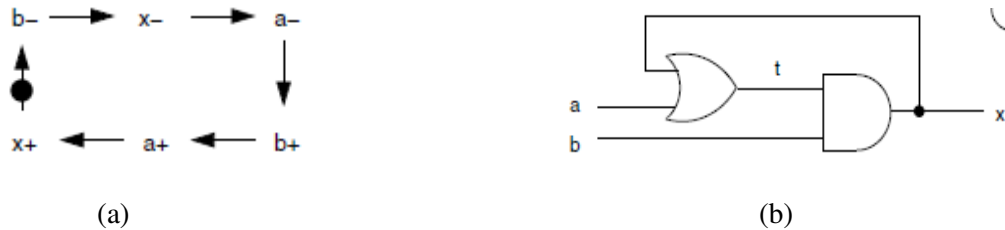


Figure 1: le composant *and-or* : (a) la spécification STG du composant *and-or*. (b) le circuit *and-or*

L'implémentation du circuit *and-or* en VHDL est donnée ci-dessous.

```

ENTITY and_or IS
  PORT (
    x : out   BIT;
    a : in    BIT;
    b : in    BIT
  );
END and_or;

ARCHITECTURE RTL OF and_or IS
  SIGNAL t1 : BIT;
BEGIN
  t1 <= x or a;
  x <= t1 and b;
END;

```

Nous avons fait un test similaire à celui effectué dans [ACEF.09]. En prenant les mêmes valeurs pour les paramètres des délais du point du bon fonctionnement mentionné ci-dessous, nous avons obtenu le même graphe d'atteignabilité. Ce dernier est bien conforme à la spécification STG du composant.

$$\begin{array}{cccc}
 \delta_{a1}^- = 13 & \delta_{a1}^+ = 14 & \delta_{a1}^- = 16 & \delta_{a1}^+ = 18 \\
 \delta_{b1}^- = 7 & \delta_{b1}^+ = 8 & \delta_{b1}^- = 19 & \delta_{b1}^+ = 20 \\
 \delta_{And}^- = 3 & \delta_{And}^+ = 4 & \delta_{Or}^- = 1 & \delta_{Or}^+ = 2
 \end{array}$$

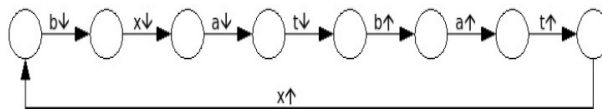


Figure 2. Le graphe d'atteignabilité pour le composant *and-or* instancié

Pour rappel, nous donnons le système de contraintes synthétisées par le programme IMITATOR, qui implémente la méthode inverse proposé dans l'article [ACEF.09].

$$\begin{array}{l}
\wedge \quad 0 < \delta_{a^{\downarrow}}^- \\
\wedge \quad 0 < \delta_{Or}^- \\
\wedge \quad \delta_{a^{\downarrow}}^+ + \delta_{Or}^+ < \delta_{b^{\downarrow}}^- + \delta_{b^{\downarrow}}^+ \\
\wedge \quad \delta_{Or}^+ + \delta_{And}^+ < \delta_{b^{\downarrow}}^- \\
\wedge \quad 0 < \delta_{And}^- \\
\wedge \quad \delta_{And}^+ + \delta_{b^{\downarrow}}^+ < \delta_{a^{\downarrow}}^- \\
\wedge \quad \delta_{b^{\downarrow}}^- + \delta_{b^{\downarrow}}^+ \leq \delta_{a^{\downarrow}}^+ + \delta_{a^{\downarrow}}^-
\end{array}$$

La propriété, que nous avons vérifiée sur la sortie du composant *and-or* en utilisant l'outil uppaal, est la suivante :

$$AG ((t \geq 0 \ \& \ t < 10 \ \text{or} \ t > 38 \Rightarrow x = 1) \ \& \ (t > 12 \ \& \ t < 33 \Rightarrow x = 0))$$

Elle exprime le comportement du signal de sortie *s* sur l'environnement des deux signaux d'entrée *a* et *b* qui est décrit dans la figure 3.

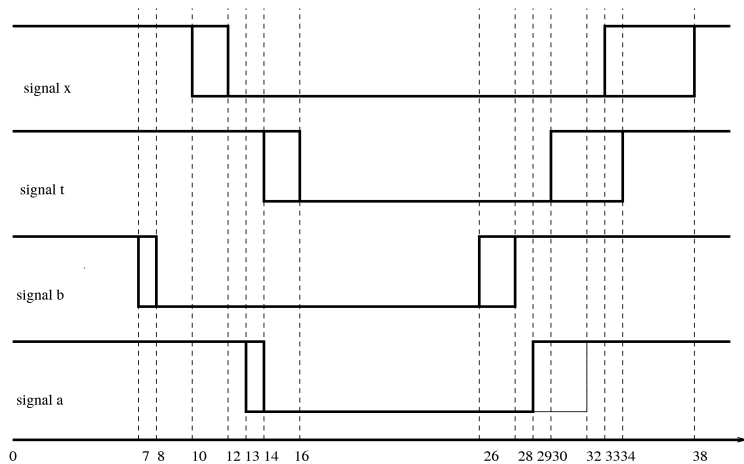


Figure 3: un exemple d'une simulation du circuit *and-or*.

Nous constatons que le temps de la vérification de cette dernière propriété est inférieur à 0,1 sec. Le temps de génération de la description en Uppaal est inférieur à 0,1 sec aussi.

Dans [CC.05], le système de contraintes synthétisées n'est pas complètement décrit. Les auteurs décrivent le graphe d'états, mentionné sur la figure 4, associée au composant sans contraintes de délais dans lequel il existe un comportement qui viole la spécification STG du composant. Afin d'éliminer ce dernier, le délai de propagation de la porte OR du composant doit être strictement inférieur à la somme du délai de la porte AND et du délai d'apparition du front montant du signal d'entrée *b*.

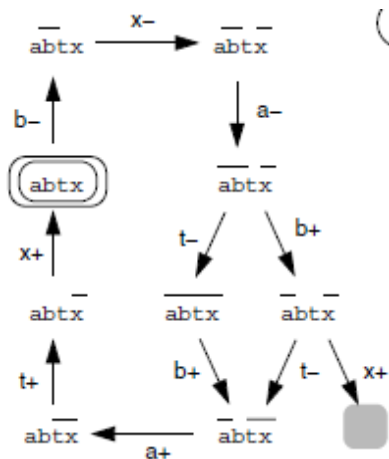


Figure 4: Le graphe d'états GS du composant *and-or* sans contraintes de délais.

Nous constatons que le graphe d'atteignabilité de la figure 2, est un sous graphe du graphe d'états donné dans la figure 4.

### **Bibliographie**

[ACEF.09] E. André, T. Chatain, E. Encrenaz, L. Fribourg, *An inverse method for parametric timed automata*, International Journal of foundations of Computer Sciences, vol 20, no 5, pages 819-836, World Scientific Publishing Company.

[CC.05] R. Clarisó and J. Cortadella. *Verification of concurrent systems with parametric delays using octahedra*. In ACSD '05. IEEE Computer Society, 2005.