

VALMEM

Vérification de l'architecture abstraite
de la SP-SMALL (3x2 bits)

A. BARA, E. ENCRENAZ

LIP6

Analyse de l'architecture (1/7)

SP-SMALL (3x2 bits)

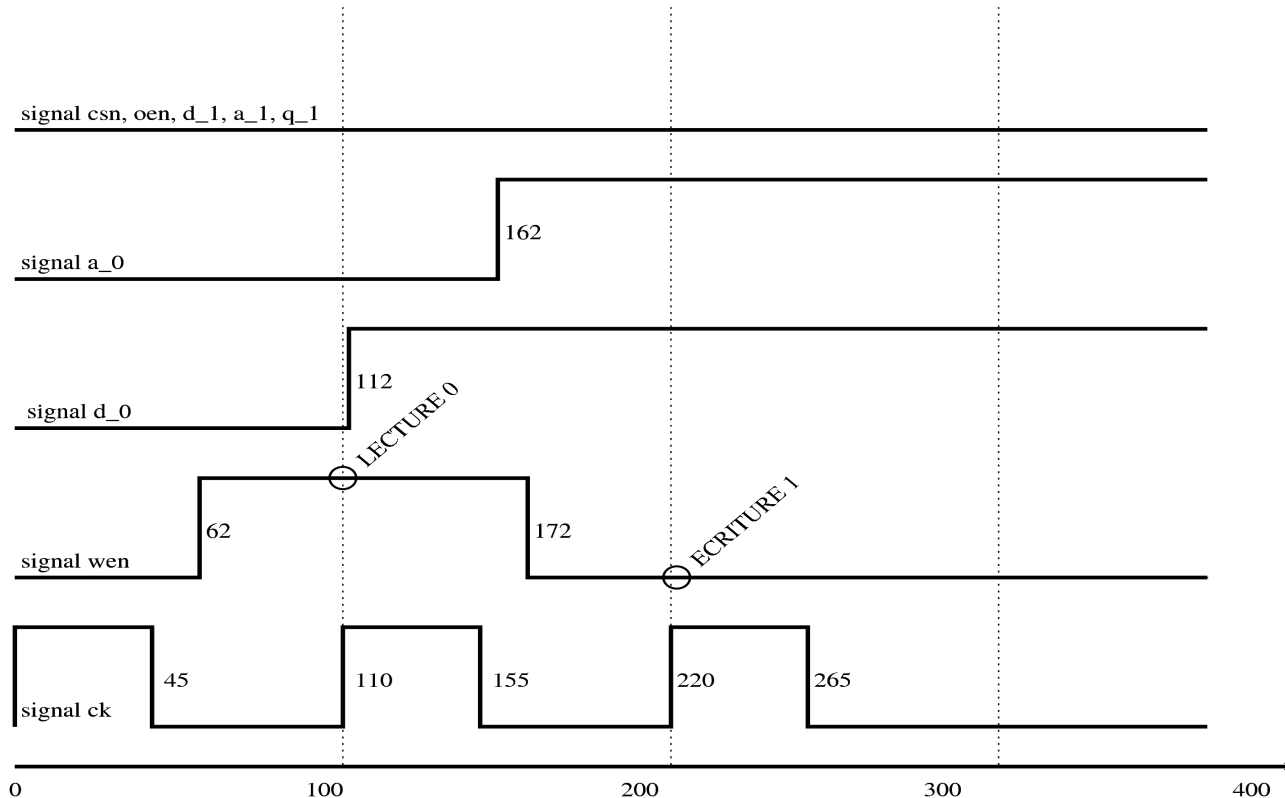
- Architecture complète abstraite automatiquement par LIP6 dans le projet VALMEM
 - 3 mots de 2 bits
 - 62 affectations concurrentes + 30 processus séquentiels
 - 8 signaux non connectés
- Délais de portes (Implémentation):
 - fichiers de timings associés aux portes et aux latches du circuits (donnés par Dominique, Patricia & Pirouz).
 - Extraire les intervalles des délais de propagation des fronts des signaux de sorties des portes et latches du circuit.

```
v_19_8_pass_h : [2,7] - , [3,23] + ;  
v_18_e_data_l_int: 9 - , 10 + ;  
      . . .  
      . . .
```

Analyse de l'architecture (2/7)

SP-SMALL (3x2 bits)

- Environnement de test :



```
ck : thi 36 tlo 74;  
d_0 : 112 up;  
wen : 62 up, 172 dn;  
a_0 : 162 up;
```

Analyse de l'architecture (3/7)

SP-SMALL (3x2 bits)

- Traduction (avec l'outil *VHDL2TA* [2]):
 - 18087 lignes de code description UPPAAL.
 - 92 automates (portes & latches) + 24 automates (Gardes des process) + 1 automate Env.
 - 93 horloges + (92+24) var + 92x4 délais.
 - Pour UPPAAL, les délais sont instanciés aux bornes des intervalles calculés précédemment.
 - Temps de traduction VHDL + temps → TA : 60 sec.

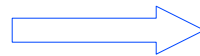
Analyse de l'architecture (4/7)

SP-SMALL (3x2 bits)

- Analyse de la description obtenue (avec l'outil *Uppaal* [2]) :

$q_0 : [253, 304] \uparrow$  $AG ((t \geq 0 \wedge t < 253) \Rightarrow q_0 = 0) \wedge (t > 304 \Rightarrow q_0 = 1)$

- La propriété tCK->Q est évaluée en 10 mn.
- les intervalles de propagation des signaux dans les portes sont trop grands, ce qui conduit à un temps de réponse global tCK->Q > taaw = 276.



supprimer les fausses configurations

- Analyse de la description avec intervalles des délais réduits par Algo 1 et 2 [3].

$q_0 : [253, 304] \uparrow$  $q_0 : [258, 298] \uparrow$

- Cette réduction est encore insuffisante (taaw = 276).

Analyse de l'architecture (5/7)

SP-SMALL (3x2 bits)

- Analyse de la description avec intervalles des délais réduits par Algo 1 et 2 + les nouveaux délais associés aux signaux b_0 , b_1 , $b_{_0}$ & $b_{_1}$.

signal	ancien délai	délai (algo1+2)	délai (DPP)
b_0	$[0, 38]dn, [1, 39]up$	$[5, 38]dn, [1, 37]up$	$[17, 19]dn, [1, 37]up$
b_1	$[0, 8]dn, [0, 39]up$	$[0, 8]dn, [0, 39]up$	$[17, 19]dn, [0, 39]up$
$b_{_0}$	$[0, 39]dn, [1, 39]up$	$[5, 39]dn, [1, 37]up$	$[17, 19]dn, [1, 37]up$
$b_{_1}$	$[0, 39]dn, [1, 39]up$	$[5, 39]dn, [1, 37]up$	$[17, 19]dn, [1, 37]up$

$q_0 : [258, 298] \uparrow$



$q_0 : [270, 278] \uparrow$

Analyse de l'architecture (6/7)

SP-SMALL (3x2 bits)

- Réduction des temps setup des signaux d_0, a_0 & wen :

d_0 : $v \in \{108, \dots, 81\}$

a_0 : $v \in \{58, \dots, 33\}$

wen : $v \in \{48, \dots, 32\}$

Analyse de l'architecture (7/7)

SP-SMALL (3x2 bits)

- Quelques pistes d'améliorations ?
 - Intégrer les temps (exacts) dans le modèle VHDL :
 - délais ponctuels associés à chaque configuration et non plus intervalle. A l'exécution, seules les configurations fonctionnelles réellement utilisées sont prises en compte.
Modèle VHDL très gros (contient tous les délais pour toutes les configurations)

Bibliographie

- [1]. K. Larsen, P. Pettersson, and W. Yi. *UPPAAL in a Nutshell*. International Journal on Software Tools for Technology Transfer, 1:134–152, 1997.
- [2]. A. Bara, E. Encrenaz & P. Bazargan-Sabet. *VHDL2TA : outil de traduction des circuits numériques décrits en VHDL en réseaux d'automates temporisés*.
www.lsv.ens-cachan.fr/~encrenaz/valmem/vhdl2hytech/index.html.
- [3]. A. Bara. *Vérification de descriptions VHDL + temps*, présentation VALMEM, Mai 2010.

Merci pour votre attention