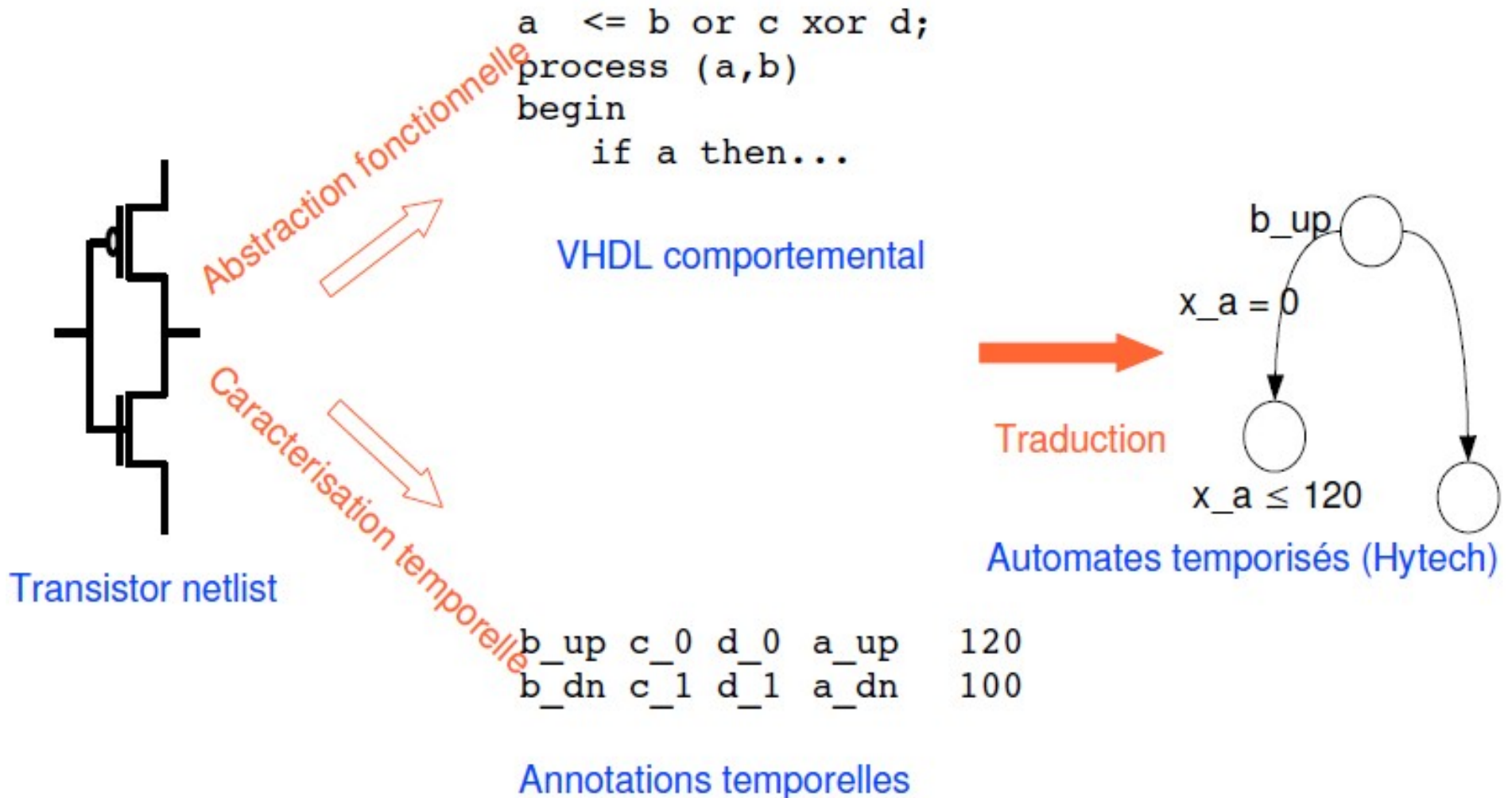


Traduction automatique d'une description  
comportementale VHDL + annotations  
temporelles en automates temporisés

A. BARA, E. ENCRENAZ

LIP6

# Situation dans la méthode



# Syntaxe VHDL acceptée

- Architecture : signaux in /out de type bit
- Entity : VHDL comportemental
  - Affectations concurrentes
  - Affectations concurrentes
  - Processus (forme restreinte)

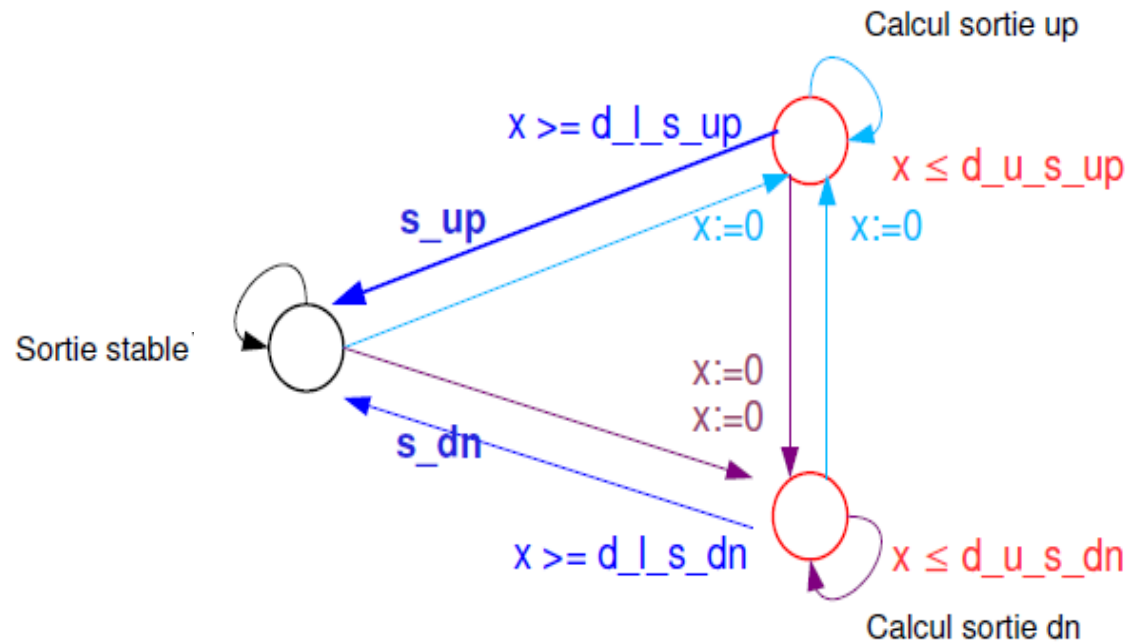
# Modèle d'automates temporisés

- Réseau d'automates concurrents
- Horloges
- Variables discrètes
  - Stocke la valeur courante d'un signal
  - Permet la détection des fronts ('event / 'transaction)
- Paramètres
  - Délais de propagation des fronts

# Principes de traduction (1/2)

- 1 affectation concurrente : 1 automate temporisé

$s \leq f(a, b, c, \dots);$



$\left. \begin{array}{l} \text{front sur } a, b, c, \dots \text{ pour } f \rightarrow 0 \\ \text{front sur } a, b, c, \dots \text{ pour } f \rightarrow 1 \end{array} \right\} \text{Disjonction de tous les cas !!}$

# Principes de traduction (2/2)

- 1 process : 1 à 3 automates temporisés

```
Process (a,b,c, ...)  
begin  
  if a = 1 then  
    s <= b;  
  elsif c = 1 then  
    s <= not b;  
end
```

Automate condition 1 (optionnel)

Automate condition 2 (optionnel)

Automate affectation sortie

# Insertion des informations temporelles

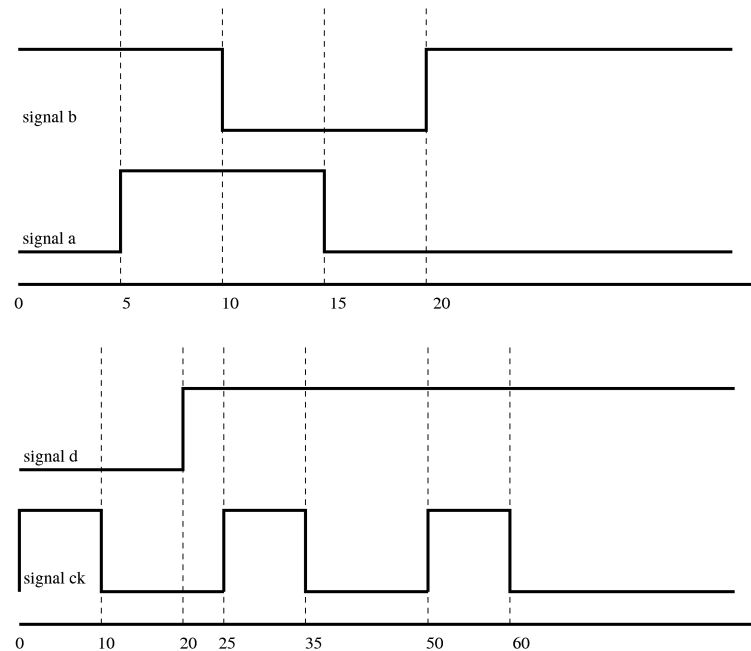
- Récupération des délais dans le fichier temporel
- Affectation aux paramètres des TA
  - Deux paramètres de délais pour chaque signal
    - Front montant / front descendant
    - Intervalle des valeurs de délai pour toutes les configuration d'entrées et front induisant un front sur le signal de sortie

# Modélisation de l'environnement

- Un (réseau d') automate représentant l'évolution des signaux d'entrée est ajouté.
- Format de fichier environnement.

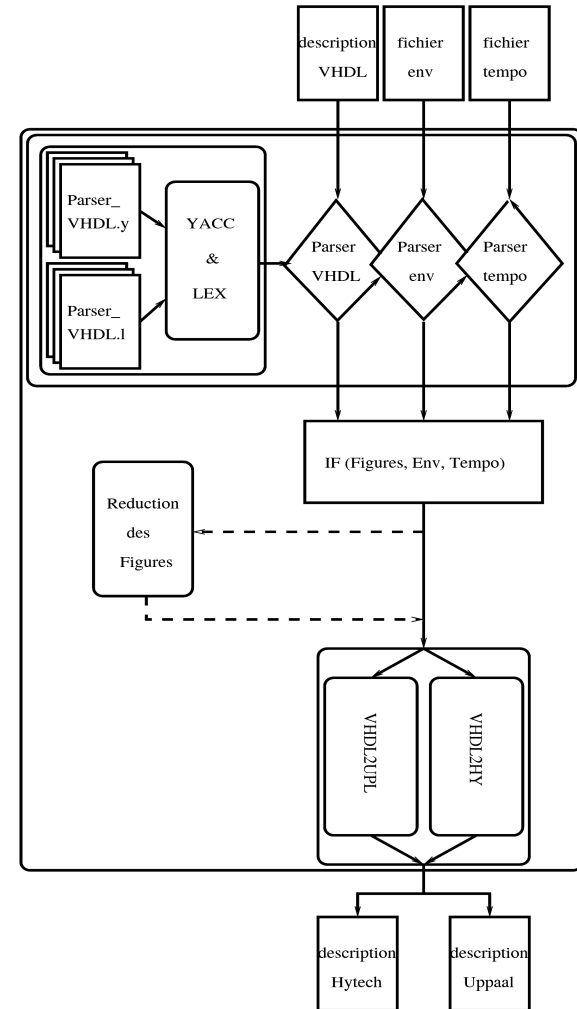
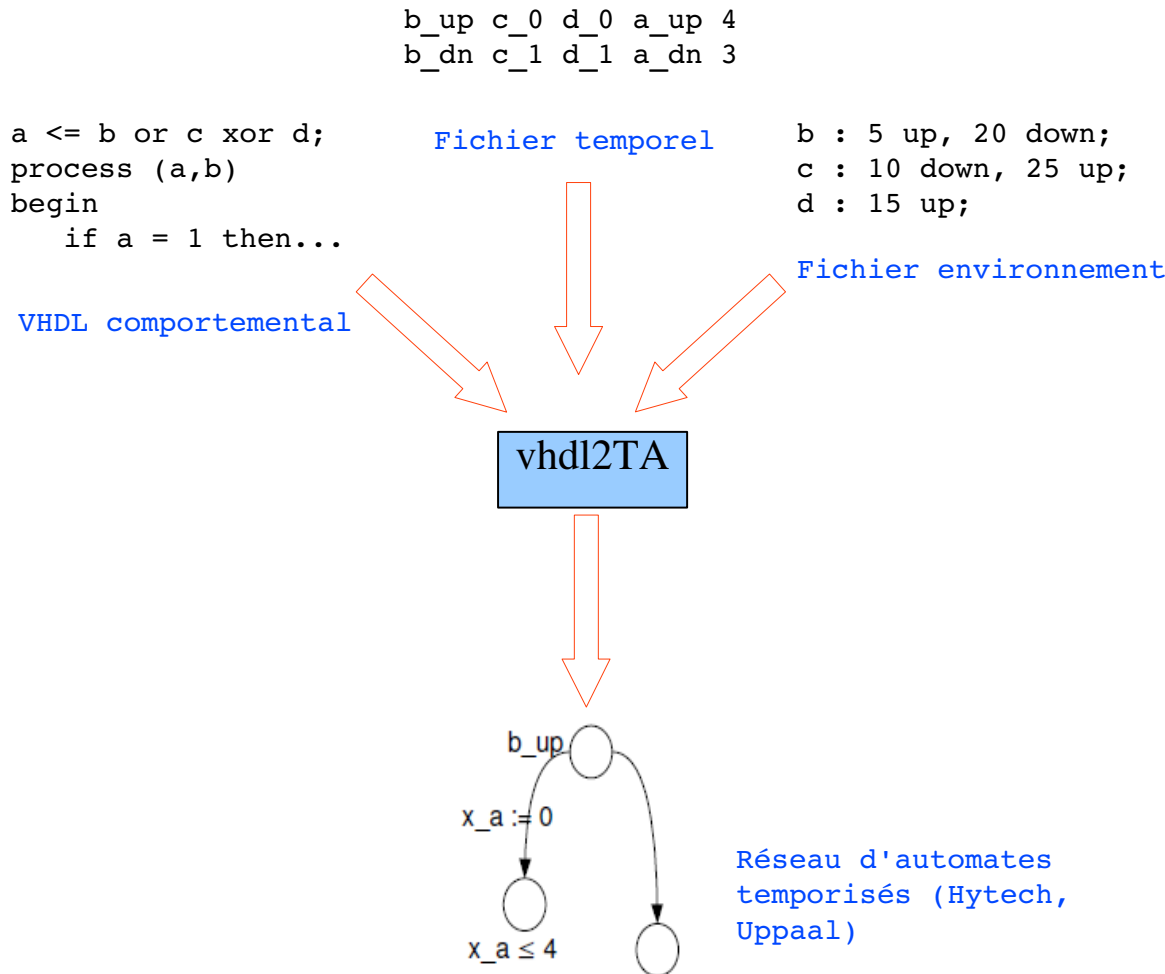
```
a : 5 up, 20 down;  
b : 10 down, 25 up;
```

```
clock ck with thi 15  
          tlo 10 ncycles 2;  
d : 20 up;
```





# Programme VHDL2TA



# Exemples passés

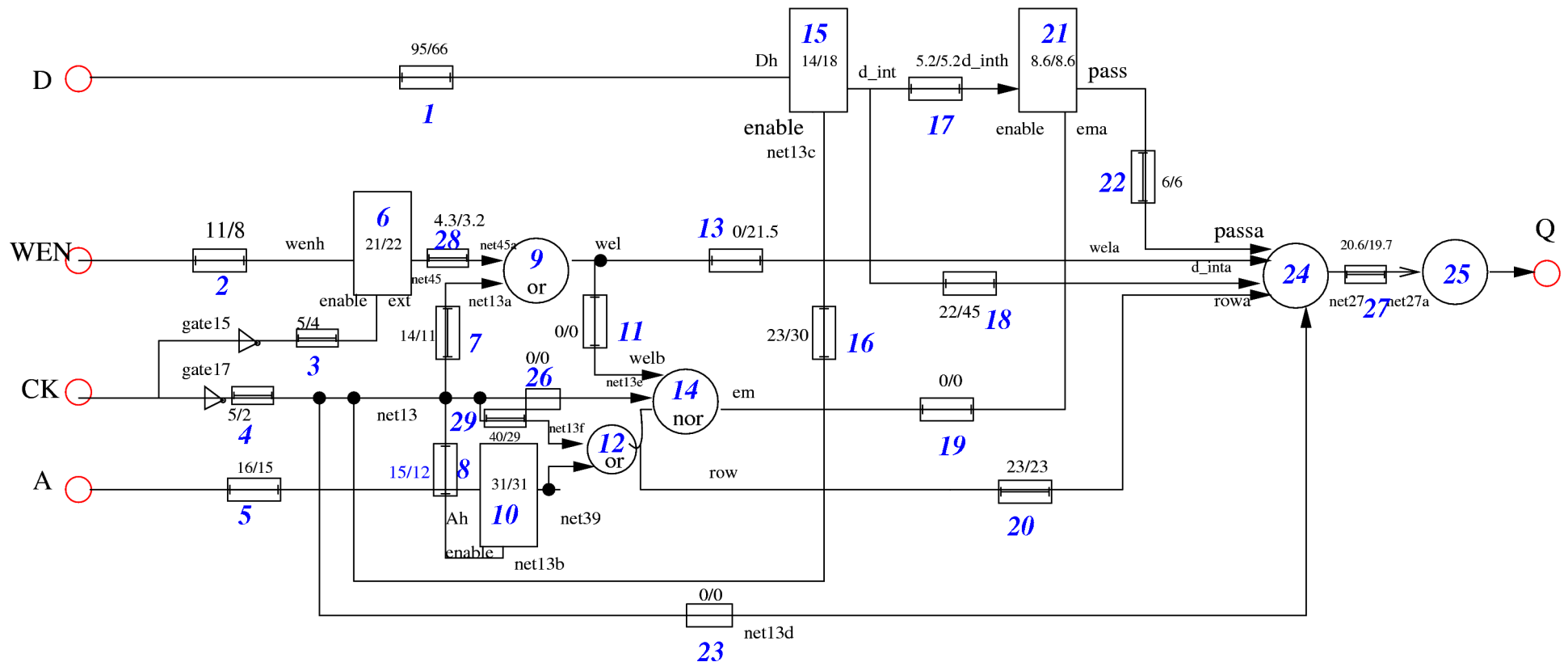
- Exemples de programme VHDL passés sur le programme :
  - BLUEB\_LSV : abstraction manuelle de SPSMALL lors du projet BLUEBERRIES (1 mot de 1 bit).
  - BLUEB\_LSV2 : extension de BLUEB\_LSV avec deux points mémoires.
  - Flip-flop [Clariso & Cortadella].
  - And-or [Clariso & Cortadella].
  - Circuit BRO1 [Brozowski].
  - Circuit BRO2 [Brozowski].
  - SPSMALL extraite par Pirouz (avec des délais à 1).

# Exemples – BLUEB\_LSV (1/5)

- Architecture complète abstraite dans le projet BLUEBERRIES (1 mot de 1 bit) / simplifications manuelles.
- Traduction (Hytech, Uppaal):
  - ✓ 1291 lignes dans la description en Uppaal (en hytech- 1553 lignes).
  - ✓ 27 automates + l'automate associé à l'environnement.
  - ✓ 28 horloges.
  - ✓ 28+4 variables discrètes.
  - ✓ 62 paramètres.

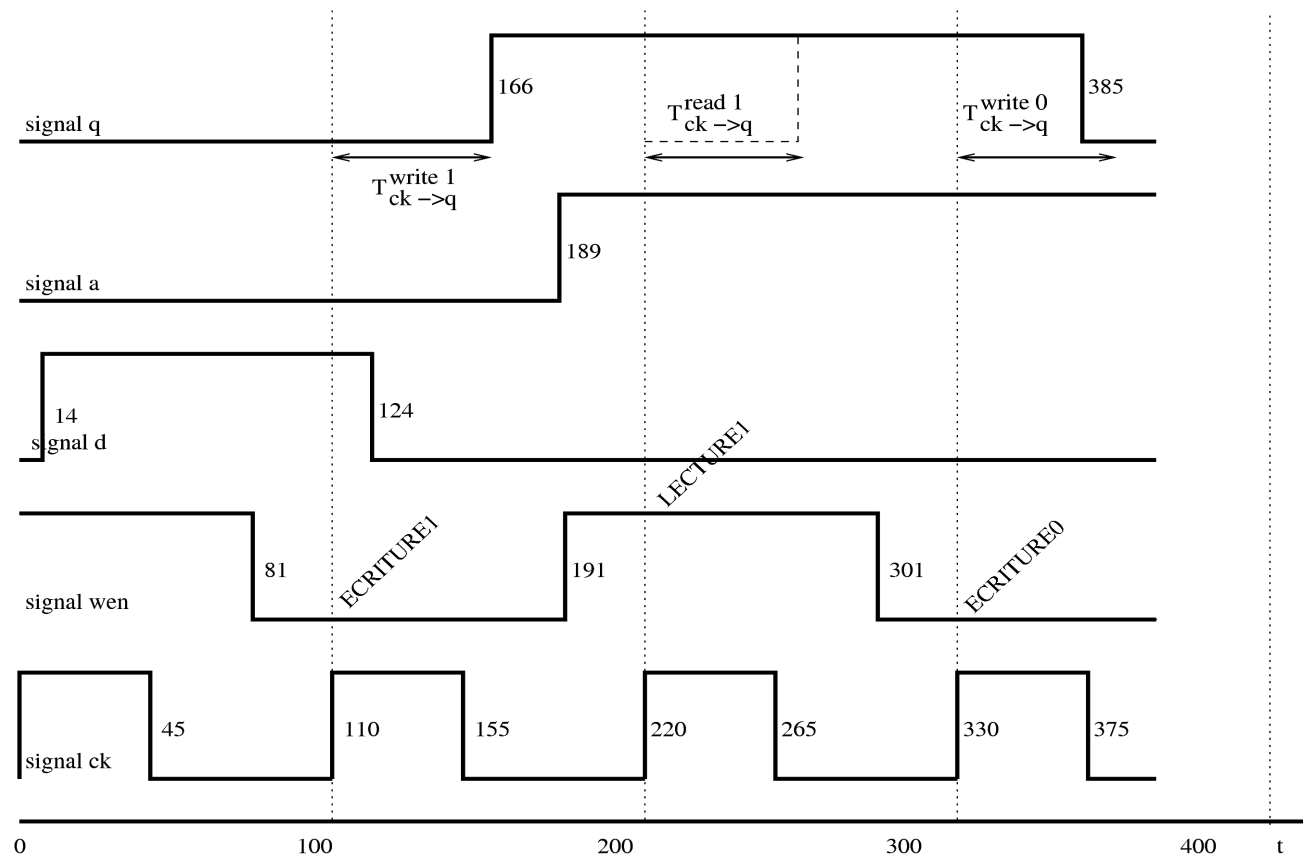
# Exemples – BLUEB\_LSV (2/5)

- AFTG de l'implémentation SPSMALL (SP1) [CEFX 06 (wseas)].



# Exemples – BLUEB\_LSV (3/5)

- Environnement pour SP1:



# Exemples – BLUEB\_LSV (4/5)

- Temps de réponse + setup optimums (SP1):

| computed response time              | value of the datasheet  |
|-------------------------------------|-------------------------|
| $t_{CK \rightarrow Q}^{read} = 74$  | $t_{max}^{read} == 77$  |
| $t_{CK \rightarrow Q}^{write} = 56$ | $t_{max}^{write} == 56$ |

Table 1 : Response time for SP1 (time unit = 10 ps).

| setup parameter   | optimal value obtained by computation | optimal value obtained by simulation | value of the datasheet |
|-------------------|---------------------------------------|--------------------------------------|------------------------|
| $t_{setup}^D$     | 95                                    | 95                                   | 108                    |
| $t_{setup}^{WEN}$ | 29                                    | 36                                   | 48                     |
| $t_{setup}^A$     | 31                                    | 30                                   | 58                     |

Table 2 : Optimal setup timings for SP1 (time unit = 10 ps).

Résultats cités dans [CEFX 06]

| computed response time                 |
|--|
| $t_{CK \rightarrow Q}^{write}(0) = 55$ |
| $t_{CK \rightarrow Q}^{write}(1) = 56$ |

Table 3 : Response time for SP1 (time unit = 10 ps).

| setup parameter   | optimal value obtained by the programme |
|-------------------|---|
| $t_{setup}^D$     | 96                                      |
| $t_{setup}^{WEN}$ | 29                                      |
| $t_{setup}^A$     | 31                                      |

Table 4 : Optimal setup timings for SP1 (time unit = 10 ps).

Résultats obtenus par le programme

# Exemples – BLUEB\_LSV (5/5)

- Temps de réponse + setup optimums (SP2):

| computed response time               | value of the datasheet   |
|--------------------------------------|--------------------------|
| $t_{CK \rightarrow Q}^{read} = 169$  | $t_{max}^{read} == 169$  |
| $t_{CK \rightarrow Q}^{write} = 142$ | $t_{max}^{write} == 142$ |

Table 1 : Response time for SP2 (time unit = 10 ps).

| setup parameter   | optimal value obtained by computation | optimal value obtained by simulation | value of the datasheet |
|-------------------|---------------------------------------|--------------------------------------|------------------------|
| $t_{setup}^D$     | 229                                   | 229                                  | 241                    |
| $t_{setup}^{WEN}$ | 55                                    | 55                                   | 109                    |
| $t_{setup}^A$     | 73                                    | 74                                   | 110                    |

Table 2 : Optimal setup timings for SP2 (time unit = 10 ps).

Résultats cités dans [CEFX 06]

| computed response time                  |
|---|
| $t_{CK \rightarrow Q}^{write}(0) = 141$ |
| $t_{CK \rightarrow Q}^{write}(1) = 136$ |

Table 3 : Response time for SP2 (time unit = 10 ps).

| setup parameter   | optimal value obtained by the programme |
|-------------------|---|
| $t_{setup}^D$     | 229                                     |
| $t_{setup}^{WEN}$ | 55                                      |
| $t_{setup}^A$     | 73                                      |

Table 4 : Optimal setup timings for SP2 (time unit = 10 ps).

Résultats obtenus par le programme

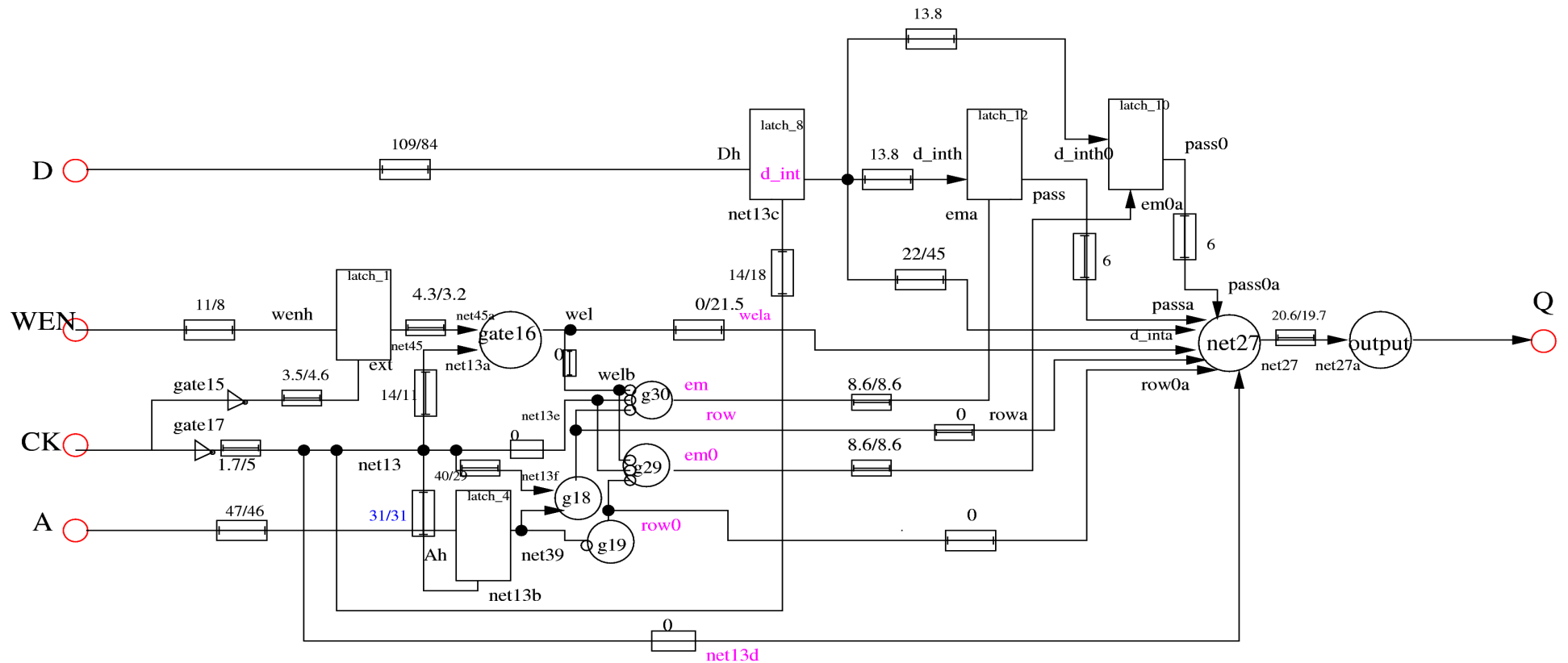
# Exemples – BLUEB\_LSV2 (1/5)

- Extension de l'architecture précédente avec deux points mémoires.
- Traduction (Hytech, Uppaal):
  - ✓ 2026 lignes dans la description en Uppaal (en hytech- 2026 lignes).
  - ✓ 34 automates + l'automate associé à l'environnement.
  - ✓ 35 horloges.
  - ✓ 35+4 variables discrètes.
  - ✓ 78 paramètres.



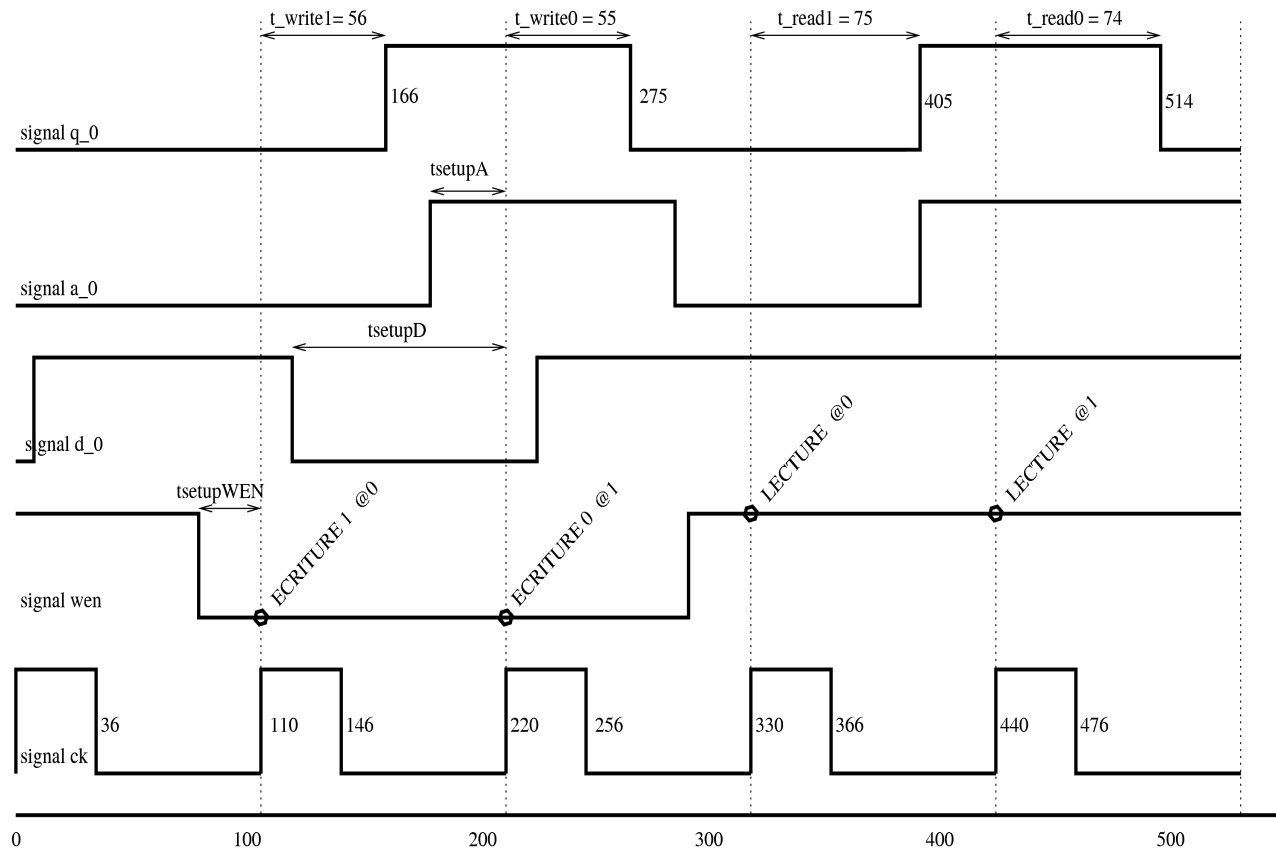
# Exemples – BLUEB\_LSV2 (2/5)

- AFTG de l'implémentation SP2.



# Exemples – BLUEB\_LSV2 (3/5)

- Environnement pour SP1:



# Exemples – BLUEB\_LSV2 (4/5)

- Temps de réponse + setup optimums (SP1):

| computed response time              | value of the datasheet  |
|-------------------------------------|-------------------------|
| $t_{CK \rightarrow Q}^{read} = 74$  | $t_{max}^{read} == 77$  |
| $t_{CK \rightarrow Q}^{write} = 56$ | $t_{max}^{write} == 56$ |

Table 1 : Response time for SP1 (time unit = 10 ps).

| setup parameter   | optimal value obtained by computation | optimal value obtained by simulation | value of the datasheet |
|-------------------|---------------------------------------|--------------------------------------|------------------------|
| $t_{setup}^D$     | 95                                    | 95                                   | 108                    |
| $t_{setup}^{WEN}$ | 29                                    | 36                                   | 48                     |
| $t_{setup}^A$     | 31                                    | 30                                   | 58                     |

Table 2 : Optimal setup timings for SP1 (time unit = 10 ps).

Résultats cités dans [Xu 06]

| computed response time                 |                                       |
|--|---------------------------------------|
| $t_{CK \rightarrow Q}^{write}(0) = 55$ | $t_{CK \rightarrow Q}^{read}(0) = 74$ |
| $t_{CK \rightarrow Q}^{write}(1) = 56$ | $t_{CK \rightarrow Q}^{read}(1) = 75$ |

Table 3 : Response time for SP1 (time unit = 10 ps).

| setup parameter   | optimal value obtained by the programme |
|-------------------|---|
| $t_{setup}^D$     | 96                                      |
| $t_{setup}^{WEN}$ | 29                                      |
| $t_{setup}^A$     | 34                                      |

Table 4 : Optimal setup timings for SP1 (time unit = 10 ps).

Résultats obtenus par le programme

# Exemples – BLUEB\_LSV2 (5/5)

- Temps de réponse + setup optimums (SP2) [CEFX.06]:

| computed response time               | value of the datasheet   |
|--------------------------------------|--------------------------|
| $t_{CK \rightarrow Q}^{read} = 169$  | $t_{max}^{read} == 169$  |
| $t_{CK \rightarrow Q}^{write} = 142$ | $t_{max}^{write} == 142$ |

Table 1 : Response time for SP2 (time unit = 10 ps).

| setup parameter   | optimal value obtained by computation | optimal value obtained by simulation | value of the datasheet |
|-------------------|---------------------------------------|--------------------------------------|------------------------|
| $t_{setup}^D$     | 229                                   | 229                                  | 241                    |
| $t_{setup}^{WEN}$ | 55                                    | 55                                   | 109                    |
| $t_{setup}^A$     | 73                                    | 74                                   | 110                    |

Table 2 : Optimal setup timings for SP2 (time unit = 10 ps).

Résultats cité dans [Xu 06]

| computed response time                  |  |
|---|--|
| $t_{CK \rightarrow Q}^{write}(0) = 141$ | $t_{CK \rightarrow Q}^{read}(0) = 169$ |
| $t_{CK \rightarrow Q}^{write}(1) = 136$ | $t_{CK \rightarrow Q}^{read}(1) = 164$ |

Table 3 : Response time for SP2 (time unit = 10 ps).

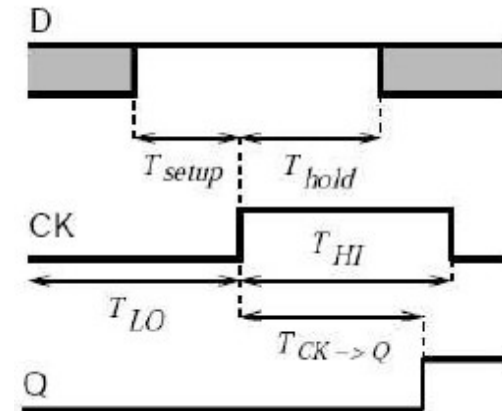
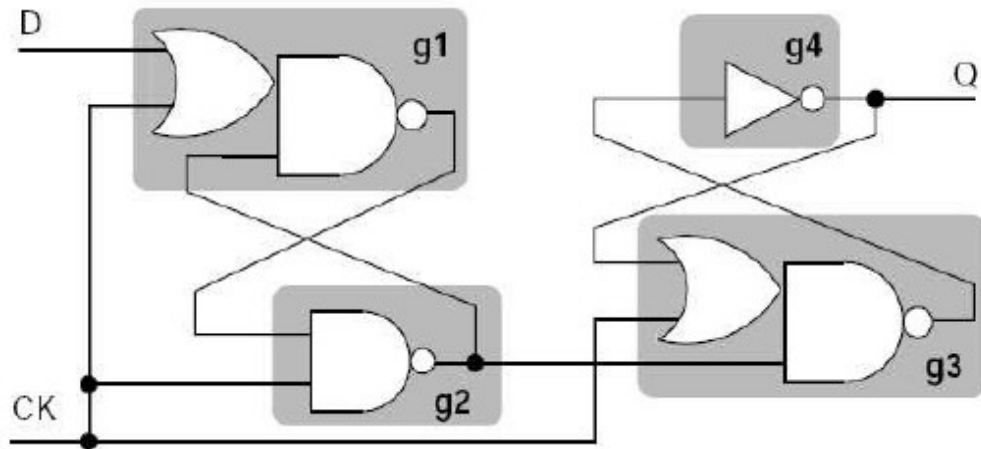
| setup parameter   | optimal value obtained by the programme |
|-------------------|---|
| $t_{setup}^D$     | 229                                     |
| $t_{setup}^{WEN}$ | 55                                      |
| $t_{setup}^A$     | 73                                      |

Table 4 : Optimal setup timings for SP2 (time unit = 10 ps).

Résultats obtenus par le programme

# Exemples – Flip-flop (1/2)

- Flip\_flop (Clariso & Cortadella) :

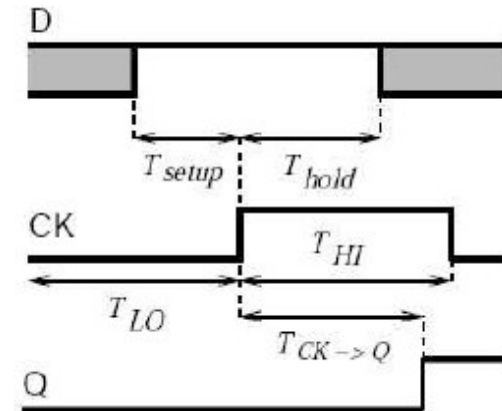
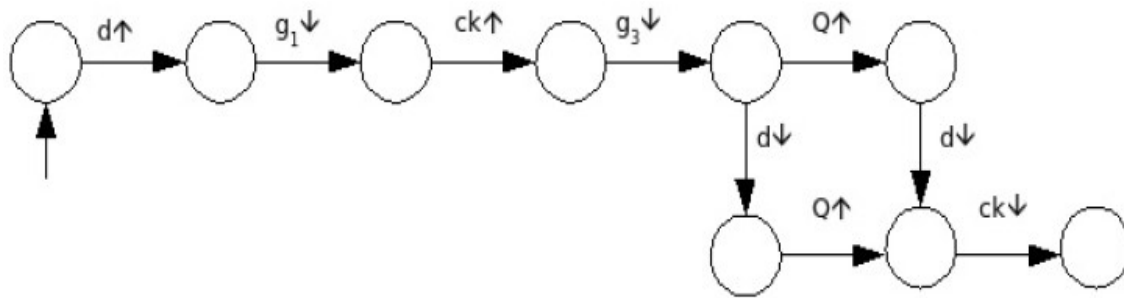


- Délais considérés dans [ACEF 08]

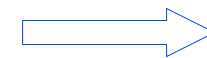
$$\pi_0 = \begin{cases} T_{HI} = 20 & T_{LO} = 15 & T_{Setup} = 10 & T_{Hold} = 15 \\ p_{g1}^u = 1 & p_{g1}^l = 1 & p_{g2}^u = 6 & p_{g2}^l = 5 \\ p_{g3}^u = 10 & p_{g3}^l = 8 & p_{g4}^u = 5 & p_{g4}^l = 3 \end{cases} \models K = \begin{cases} (1) & T_{LO} > T_{Setup} \\ (2) & T_{Setup} > p_{g1}^u \\ (3) & T_{Hold} > p_{g3}^u \\ (4) & T_{Hold} > p_{g3}^u + p_{g4}^u \end{cases}$$

# Exemples – Flip-flop (1/2)

- Le graphe d'atteignabilité obtenu avec les tests :



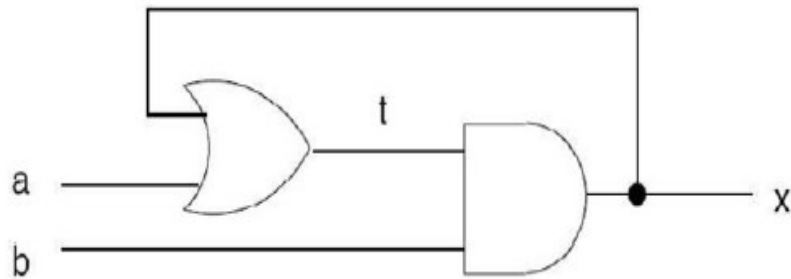
$$\begin{aligned}
 & p_{g_1}^u = 1 \quad \wedge \quad p_{g_1}^l = 1 \quad \wedge \quad p_{g_2}^u = 6 \quad \wedge \quad p_{g_2}^l = 5 \quad \wedge \\
 & p_{g_3}^u = 10 \quad \wedge \quad p_{g_3}^l = 8 \quad \wedge \quad p_{g_2}^u = 5 \quad \wedge \quad p_{g_2}^l = 3 \quad \wedge \\
 & T_{HI} = 10 \quad \wedge \quad p_{g_1}^u < T_{Setup} < T_{LO} = 15 \quad \wedge \quad T_{Hold} > p_{g_3}^u
 \end{aligned}$$



$$T_{CK \rightarrow Q} \in [8, 11]$$

# Exemples – And-or (1/2)

- And-or (Clariso & Cortadella) :

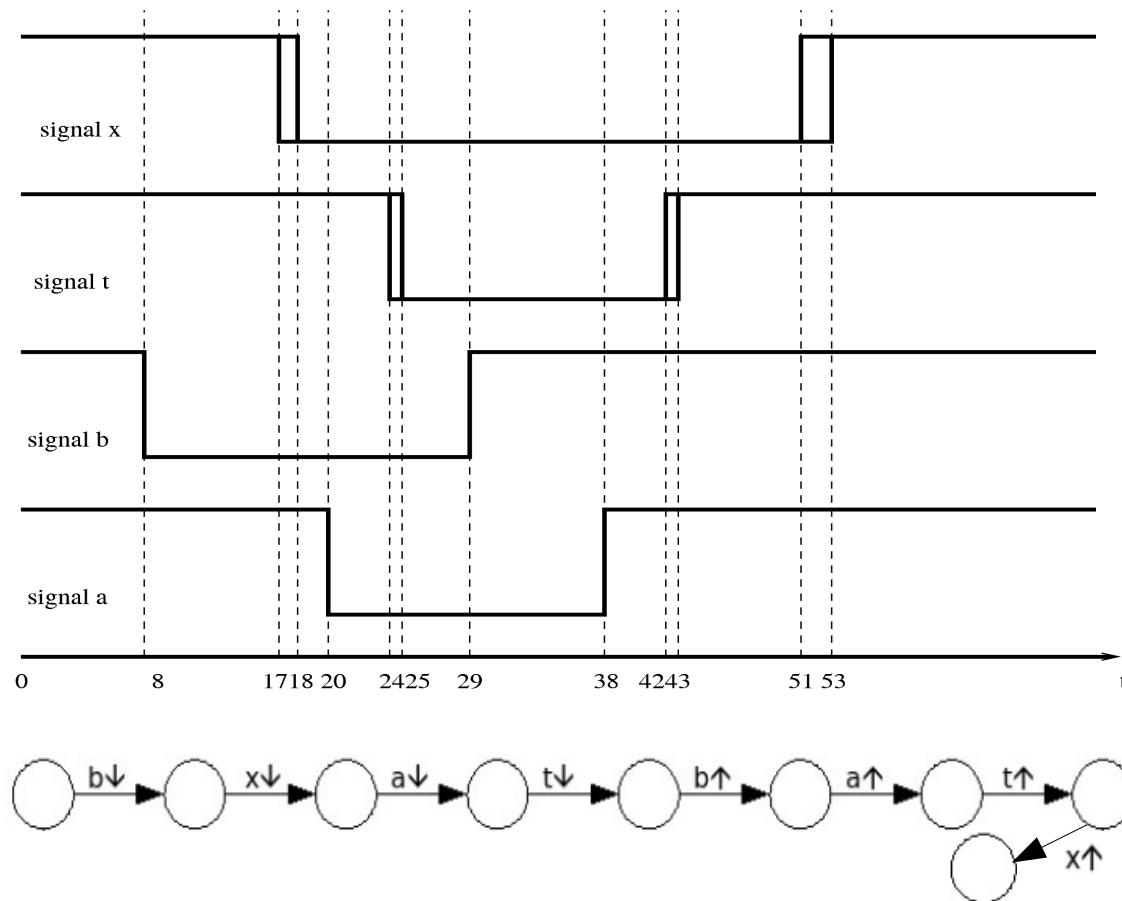


- Délais considérés dans [ACEF 08]

$$\pi_0 = \begin{cases} p_{a+}^u = 20 & p_{a+}^l = 19 & p_{a-}^u = 18 & p_{a-}^l = 16 \\ p_{b+}^u = 8 & p_{b+}^l = 7 & p_{b-}^u = 21 & p_{b-}^l = 20 \\ p_{And}^u = 10 & p_{And}^l = 9 & p_{Or}^u = 5 & p_{Or}^l = 4 \end{cases} \models K = \begin{cases} (1) & p_{a+}^l > p_{And}^u + p_{b+}^u \\ (2) & p_{b+}^l + p_{b-}^l > p_{Or}^u + p_{a+}^u \\ (4) & p_{b+}^l > p_{Or}^u \\ (4) & p_{And}^l + p_{Or}^l > p_{b+}^u \end{cases}$$

# Exemples – And-or (2/2)

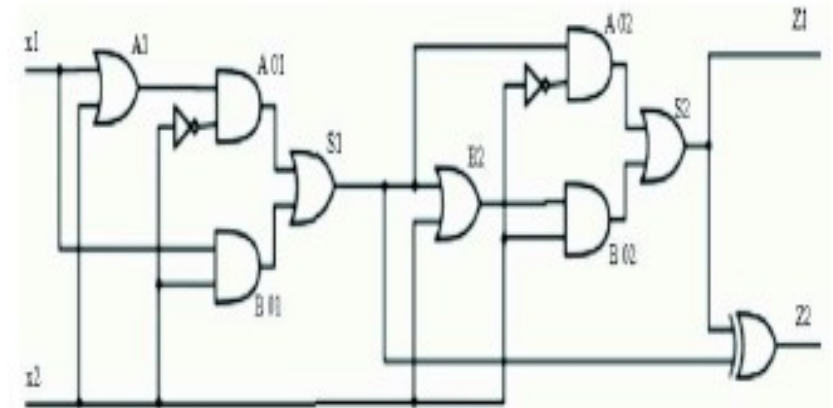
- Tests avec 1 environnement :





# Exemples – BRO1

- Le circuit 3 décrit dans [Fri 09] :
  - Tous les délais des portes sont dans [83,85].



- Analyse exhaustive, cité dans [Fri 09], est confirmée :

| x         | 00  |     |     | 01  |     |     | 10  |    |     | 11  |    |     |
|-----------|-----|-----|-----|-----|-----|-----|-----|----|-----|-----|----|-----|
| x'        | 10  | 01  | 11  | 11  | 00  | 10  | 00  | 11 | 01  | 01  | 10 | 00  |
| stab-time | 510 | 340 | 340 | 170 | 510 | 425 | 510 | 0  | 255 | 255 | 0  | 510 |

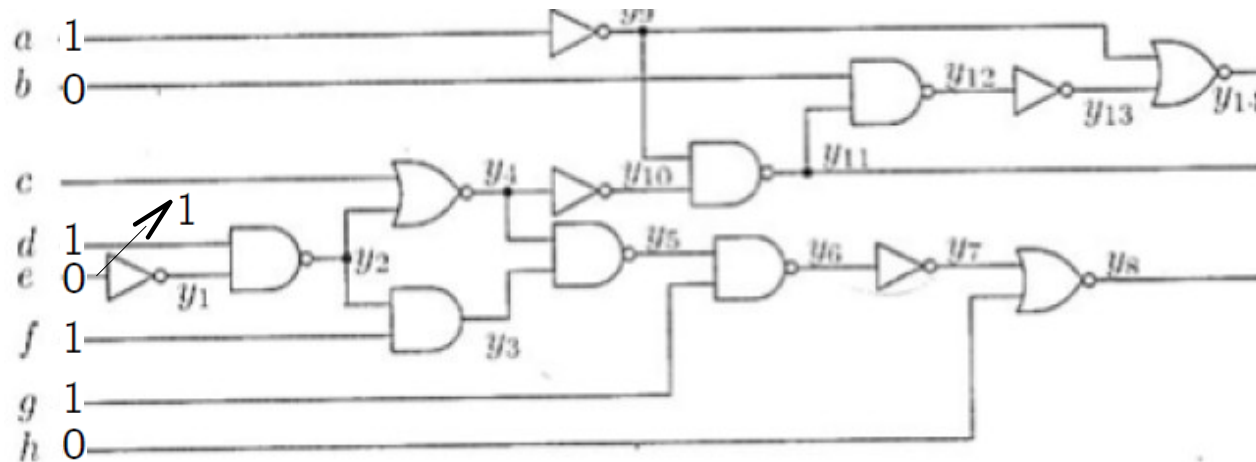
→ le temps maximal de la stabilité = 510

$x = 00 \rightarrow x' = 11 :$

$$\begin{aligned}
 AG( & ((t > 0 \wedge t < 255) \Rightarrow z2 = 0) && \wedge \\
 & (((t > 255 \wedge t < 340) \Rightarrow z2 = 0) \vee ((t > 255 \wedge t < 340) \Rightarrow z2 = 1)) && \wedge \\
 & (t > 340 \Rightarrow z2 = 0)) && \text{est vérifiée}
 \end{aligned}$$

# Exemples – BRO2

- Le circuit 4 décrit dans [Fri 09]:



- Tests réalisés :
  - Les délais de portes  $\delta(y_i) = 5\text{ns}$ , temps de stabilité = 20ns pour ce pattern.
  - $\delta(y_3) = \delta(y_5) = 2.5\text{ns}$ , temps de stabilité = 35ns.

# Exemples – SPSMALL1\*2

- Architecture complète abstraite automatiquement par LIP6 dans VALMEM
- Adaptations préalables à la traduction :
  - bit\_vector --> bit
  - retrait de 8 processus (monstrueux)
  - signaux non connectés supprimés
  - Les délais des portes et des latches sont tous mis à 1.
- Traductions :
  - Sans opt : 90 automates / 90 horloges / 112 var / 178 paramètres
  - Avec opt : 56 automates / 56 horloges / 68 var / 134 paramètres
  - Le graphe d'atteignabilité est construit (en utilisant uppaal)

# Autres circuits envisagés

- GASP FIFO (FIFO asynchrone) Cortadella & Clariso
- Ring Oscillator Rambus

# Limitations actuelles

- Syntaxe VHDL
  - Type bit uniquement (pas de bit\_vector / std\_logic)
  - Process très limités
- Combinatoire !!!
  - Taille des automates (combinatoire des transitions).
  - Produit d'automates avant l'analyse : Outil hytech limité à une dizaine d'automates

# Bibliographie

- [ACEF 08]. É. André, Th. Chatain, E. Encrenaz and L. Fribourg. *An Inverse Method for Parametric Timed Automata*. In RP'08, ENTCS 223, pages 29-46. Elsevier Science Publishers, 2008.
- [CEFX 06]. R. Chevallier, E. Encrenaz, L. Fribourg, W. Xu, *Timing Analysis of an Embedded Memory: SPSMALL*, WSEAS 10<sup>th</sup> international conference on circuits, july 2006, Greece.
- [Fri 09] . Laurent Fribourg, *Analyse temporisée des systèmes concurrentes : l'exemple illustratif des circuits numériques*, ETR 2009.
- [Xu 06]. W. Xu, *Timing Analysis of SPSMALL*, internal report, june 06